

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-177141

(43)公開日 平成11年(1999)7月2日

(51)Int.Cl.  
H01L 33/00  
H01S 3/18

識別記号

F I  
H01L 33/00  
H01S 3/18

C

審査請求 未請求 請求項の数68 FD (全 33 頁)

(21)出願番号 特願平10-105432  
(22)出願日 平成10年(1998)3月31日  
(31)優先権主張番号 特願平9-293463  
(32)優先日 平9(1997)10月10日  
(33)優先権主張国 日本 (J P)  
(31)優先権主張番号 特願平9-293465  
(32)優先日 平9(1997)10月10日  
(33)優先権主張国 日本 (J P)

(71)出願人 000241463  
豊田合成株式会社  
愛知県西春日井郡春日町大字落合字長畑1  
番地  
(72)発明者 千代 敏明  
愛知県西春日井郡春日町大字落合字長畑1  
番地 豊田合成株式会社内  
(72)発明者 野村 静代  
愛知県西春日井郡春日町大字落合字長畑1  
番地 豊田合成株式会社内  
(74)代理人 弁理士 小西 富雅

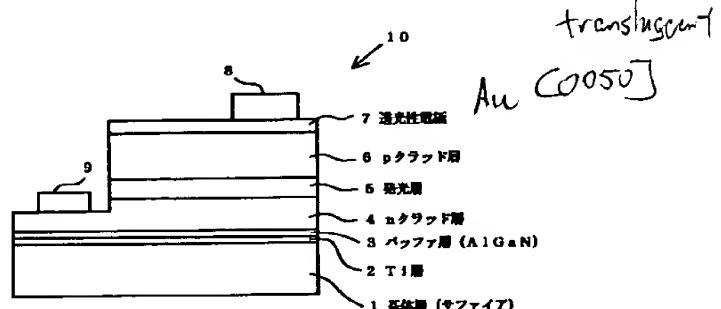
最終頁に続く

(54)【発明の名称】 GaN系の半導体素子

(57)【要約】

【課題】 新規な構成のGaN系の半導体素子を提供する。

【解決手段】 基板においてGaN系の半導体層に向かう面がTi化されている構成の新規なGaN系の半導体層を提供する。



## 【特許請求の範囲】

【請求項1】 GaN系の半導体層と、該半導体層に対向する面がTi層とされた基板と、を備えてなるGaN系の半導体素子。

【請求項2】 前記基板は基体層と単結晶のTi層あるいは単結晶に近いTi層とを備えてなる、ことを特徴とする請求項1に記載の半導体素子。

【請求項3】 前記Ti層の膜厚は100～1500nmである、ことを特徴とする請求項2に記載の半導体素子。

【請求項4】 前記Ti層の膜厚は200～1000nmである、ことを特徴とする請求項2に記載の半導体素子。

【請求項5】 前記基体層はサファイアからなることを特徴とする、請求項2～4のいずれかに記載の半導体素子。

【請求項6】 前記基体層はSi、GaP、GaAs、InP、ZnP及びZnOから選択される少なくとも1つの材料からことを特徴とする、請求項2～4のいずれかに記載の半導体素子。

【請求項7】 前記半導体層と前記基板との間にAl<sub>a</sub> In<sub>b</sub> Ga<sub>1-a-b</sub> N (a=0、b=0、a=b=0を含む)からなるバッファ層が介在される、ことを特徴とする請求項1～6のいずれかに記載の半導体素子。

【請求項8】 前記バッファ層はAl<sub>a</sub> Ga<sub>1-a</sub> N (a=0.85～0.95)である、ことを特徴とする請求項7に記載の半導体素子。

【請求項9】 前記バッファ層はAl<sub>a</sub> Ga<sub>1-a</sub> N (aはほぼ0.9)である、ことを特徴とする請求項7に記載の半導体素子。

【請求項10】 基板を準備する工程、該基板の上にTi層を形成する工程、該Ti層の上にGaN系の半導体層を形成する工程、を含んでなるGaN系の半導体素子の製造方法。

【請求項11】 全体が実質的にTiの単結晶となるように前記Ti層は前記基板の上へ蒸着あるいはスパッタにより形成される、ことを特徴とする請求項10に記載の半導体素子の製造方法。

【請求項12】 前記Ti層を形成する前に前記基板の雰囲気から酸素を実質的に除去する工程が更に含まれる、ことを特徴とする請求項11に記載の半導体素子の製造方法。

【請求項13】 前記Ti層の成膜速度が0.5nm/s以上である、ことを特徴とする、請求項11若しくは12に記載の半導体素子の製造方法。

【請求項14】 前記Ti層の成膜温度は室温～250℃である、ことを特徴とする請求項11～13のいずれかに記載の半導体素子の製造方法。

【請求項15】 前記Ti層の成膜温度はほぼ150℃である、ことを特徴とする請求項11～13のいずれか

に記載の半導体素子の製造方法。

【請求項16】 前記基板はサファイア製であり、該サファイア基板の上に前記Ti層が蒸着される、ことを特徴とする請求項10～15のいずれかに記載の半導体素子の製造方法。

【請求項17】 前記基板はSi製であり、該Si基板の上に前記Ti層が蒸着される、ことを特徴とする請求項10～15のいずれかに記載の半導体素子の製造方法。

10 【請求項18】 前記Ti層は前記Si基板の(111)面上に成膜される、ことを特徴とする請求項17に記載の半導体素子の製造方法。

【請求項19】 前記Ti層を成膜する前に、前記Si基板を酸洗浄する工程が更に含まれる、ことを特徴とする請求項17若しくは18に記載の半導体素子の製造方法。

【請求項20】 前記酸洗浄はフッ酸若しくはバッファードフッ酸を含む液で行われる、ことを特徴とする請求項19に記載の半導体素子の製造方法。

20 【請求項21】 前記Ti層と前記GaN系の半導体層との間にAl<sub>a</sub> In<sub>b</sub> Ga<sub>1-a-b</sub> N (a=0、b=0、a=b=0を含む)からなるバッファ層を形成する工程が更に含まれる、ことを特徴とする請求項10～20のいずれかに記載の半導体素子の製造方法。

【請求項22】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、250～350℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項10～20のいずれかに記載の半導体素子の製造方法。

30 【請求項23】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、280～330℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項10～20のいずれかに記載の半導体素子の製造方法。

【請求項24】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、ほぼ300℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項10～20のいずれかに記載の半導体素子の製造方法。

40 【請求項25】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、Gaの材料ガス/(Gaの材料ガス+A1の材料ガス)=0.53～0.87のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項10～24のいずれかに記載の半導体素子の製造方法。

【請求項26】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、Gaの材料ガス/(Gaの材料ガス+A1の材料ガス)=0.63～0.80のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項10～24のいずれかに記

載の半導体素子の製造方法。

【請求項27】 前記T i層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、GaNの材料ガス／(GaNの材料ガス+Alの材料ガス)=ほぼ0.737のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項10～24のいずれかに記載の半導体素子の製造方法。

【請求項28】 前記バッファ層を形成する前に、前記T i層を真空中でクリーニングする工程が更に含まれる、ことを特徴とする請求項21～27のいずれかに記載の半導体素子の製造方法。

【請求項29】 前記真空クリーニングは実質的な真空中で前記T i層を500～750°Cに加熱することにより行われる、ことを特徴とする請求項28に記載の半導体素子の製造方法。

【請求項30】 前記真空クリーニングは実質的な真空中で前記T i層を550～700°Cに加熱することにより行われる、ことを特徴とする請求項28に記載の半導体素子の製造方法。

【請求項31】 前記真空クリーニングは実質的な真空中で前記T i層を600～650°Cに加熱することにより行われる、ことを特徴とする請求項28に記載の半導体素子の製造方法。

【請求項32】 少なくとも一つの前記GaN系の半導体層が形成されるまでの間、前記T i層は750°C以下に保たれる、ことを特徴とする請求項10～31のいずれかに記載の半導体素子の製造方法。

【請求項33】 少なくとも一つの前記GaN系の半導体層が形成されるまでの間、前記T i層は600°C以下に保たれる、ことを特徴とする請求項10～31のいずれかに記載の半導体素子の製造方法。

【請求項34】 前記半導体素子は発光素子、受光素子あるいは受光素子である、ことを特徴とする請求項1～9のいずれかに記載の半導体素子。

【請求項35】 前記半導体素子は発光素子、受光素子あるいは受光素子である、ことを特徴とする請求項10～33のいずれかに記載の半導体素子の製造方法。

【請求項36】 GaN系の半導体層と、該半導体層に対向する面がT i製とされた基板と、を備えてなる積層体。

【請求項37】 前記基板は基体層と単結晶のT i層あるいは単結晶に近いT i層とを備えてなる、ことを特徴とする請求項36に記載の積層体。

【請求項38】 前記T i層の膜厚は100～1500nmである、ことを特徴とする請求項37に記載の積層体。

【請求項39】 前記T i層の膜厚は200～1000nmである、ことを特徴とする請求項37に記載の積層体。

【請求項40】 前記基体層はサファイアからなること

を特徴とする、請求項37～39のいずれかに記載の積層体。

【請求項41】 前記基体層はSi、GaP、GaAs、InP、ZnP及びZnOから選択される少なくとも1つの材料からことを特徴とする、請求項37～39のいずれかに記載の積層体。

【請求項42】 前記半導体層と前記基板との間にAl<sub>a</sub>In<sub>b</sub>Ga<sub>1-a-b</sub>N (a=0、b=0、a=b=0を含む)からなるバッファ層が介在される、ことを特徴とする請求項36～41のいずれかに記載の積層体。

【請求項43】 前記バッファ層はAl<sub>a</sub>Ga<sub>1-a</sub>N (a=0.85～0.95)である、ことを特徴とする請求項42に記載の積層体。

【請求項44】 前記バッファ層はAl<sub>a</sub>Ga<sub>1-a</sub>N (a=ほぼ0.9)である、ことを特徴とする請求項42に記載の積層体。

【請求項45】 基板を準備する工程、

該基板の上にT i層を形成する工程、

該T i層の上にGaN系の半導体層を形成する工程、を含んでなる積層体の製造方法。

【請求項46】 全体が実質的にT iの単結晶となるよう前記T i層は前記基板の上へ蒸着あるいはスパッタにより形成される、ことを特徴とする請求項45に記載の積層体の製造方法。

【請求項47】 前記T i層を形成する前に前記基板の雰囲気から酸素を実質的に除去する工程が更に含まれる、ことを特徴とする請求項46に記載の積層体の製造方法。

【請求項48】 前記T i層の成膜速度が0.5nm/s以上である、ことを特徴とする、請求項46若しくは47に記載の積層体の製造方法。

【請求項49】 前記T i層の成膜温度は室温～250°Cである、ことを特徴とする請求項46～48のいずれかに記載の積層体の製造方法。

【請求項50】 前記T i層の成膜温度はほぼ150°Cである、ことを特徴とする請求項46～48のいずれかに記載の積層体の製造方法。

【請求項51】 前記基板はサファイア製であり、該サファイア基板の上に前記T i層が蒸着される、ことを特徴とする請求項45～50のいずれかに記載の積層体の製造方法。

【請求項52】 前記基板はSi製であり、該Si基板の上に前記T i層が蒸着される、ことを特徴とする請求項45～50のいずれかに記載の積層体の製造方法。

【請求項53】 前記T i層は前記Si基板の(111)面上に成膜される、ことを特徴とする請求項52に記載の積層体の製造方法。

【請求項54】 前記T i層を成膜する前に、前記Si基板を酸洗浄する工程が更に含まれる、ことを特徴とする請求項52若しくは53に記載の積層体の製造方法。

【請求項55】 前記酸洗浄はフッ酸若しくはバッファードフッ酸を含む液で行われる、ことを特徴とする請求項54に記載の積層体の製造方法。

【請求項56】 前記Ti層と前記GaN系の半導体層との間にAl<sub>a</sub>In<sub>b</sub>Ga<sub>1-a-b</sub>N (a=0, b=0, a=b=0を含む) からなるバッファ層を形成する工程が更に含まれる、ことを特徴とする請求項45~55のいずれかに記載の積層体の製造方法。

【請求項57】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、250~350°Cの温度で、成長させる工程が更に含まれる、ことを特徴とする請求項45~55のいずれかに記載の積層体の製造方法。

【請求項58】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、280~330°Cの温度で、成長させる工程が更に含まれる、ことを特徴とする請求項45~55のいずれかに記載の積層体の製造方法。

【請求項59】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、ほぼ300°Cの温度で、成長させる工程が更に含まれる、ことを特徴とする請求項45~55のいずれかに記載の積層体の製造方法。

【請求項60】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、Gaの材料ガス/(Gaの材料ガス+A1の材料ガス)=0.53~0.87のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項45~59のいずれかに記載の積層体の製造方法。

【請求項61】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、Gaの材料ガス/(Gaの材料ガス+A1の材料ガス)=0.63~0.80のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項45~59のいずれかに記載の積層体の製造方法。

【請求項62】 前記Ti層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、Gaの材料ガス/(Gaの材料ガス+A1の材料ガス)=ほぼ0.737のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項45~59のいずれかに記載の積層体の製造方法。

【請求項63】 前記バッファ層を形成する前に、前記Ti層を真空中でクリーニングする工程が更に含まれる、ことを特徴とする請求項56~62のいずれかに記載の積層体の製造方法。

【請求項64】 前記真空クリーニングは実質的な真空中で前記Ti層を500~750°Cに加熱することにより行われる、ことを特徴とする請求項63に記載の積層体の製造方法。

【請求項65】 前記真空クリーニングは実質的な真空

中で前記Ti層を550~700°Cに加熱することにより行われる、ことを特徴とする請求項63に記載の積層体の製造方法。

【請求項66】 前記真空クリーニングは実質的な真空中で前記Ti層を600~650°Cに加熱することにより行われる、ことを特徴とする請求項63に記載の積層体の製造方法。

10 【請求項67】 少なくとも一つの前記GaN系の半導体層が形成されるまでの間、前記Ti層は750°C以下に保たれる、ことを特徴とする請求項45~66のいずれかに記載の積層体の製造方法。

【請求項68】 少なくとも一つの前記GaN系の半導体層が形成されるまでの間、前記Ti層は600°C以下に保たれる、ことを特徴とする請求項45~66のいずれかに記載の積層体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はGaN系の半導体素子に関する。

【0002】

【従来の技術】GaN系の半導体は例えば青色発光素子として利用できることが知られている。かかる発光素子では、基板として一般的にサファイアが用いられる。

【0003】

【発明が解決しようとする課題】このサファイア製の基板において解決すべき課題の一つとして次のものがある。即ちサファイア基板は透明であるため、本来素子の上面から取り出したい発光素子の光が素子下面のサファイア基板を透過してしまう。そのため、発光素子で発光させた光が有効に利用できない。

30 【0004】サファイア基板はまた高価である。更には、サファイア基板は絶縁体であるため同一面側に電極を形成する必要があり、半導体層の一部をエッチングしなければならず、それに応じてポンディングの工程も2倍となる。また、同一面側にn、p両電極を形成するため、素子サイズの小型化にも制限があった、加えて、チャージアップの問題もあった。

【0005】また、サファイア基板の代わりにSi(シリコン)基板の使用が考えられるが、本発明者の検討によれば、Si基板の上にGaN系の半導体層を成長させることは非常に困難であった。その原因の一つとして、SiとGaN系の半導体の熱膨張率の差がある。Siの線膨張係数が4.7×10<sup>-6</sup>/Kであるのに対しGaNの線膨張係数は5.59×10<sup>-6</sup>/Kであり、前者が後者より小さい。従って、GaN系の半導体層を成長させる際に加熱をすると、Si基板が伸長されGaN系の半導体層側が圧縮するように素子が変形する。このとき、GaN系の半導体層内に引っ張り応力が生じ、その結果クラックの発生するおそれがある。また、クラックが生じないまでも格子に歪みが生じる。従って、GaN

系の半導体素子がその本来の機能を発揮できなくなる。  
【0006】この発明はこのような課題に鑑みて、新規な構成のGaN系の半導体素子を提供することを目的とする。この発明の他の目的はGaN系の半導体素子の中間体となる新規な構成の積層体を提供することにある。

## 【0007】

【課題を解決するための手段】そこで、本発明者らはGaN系の半導体層を成長させるのに適した新規な基板を見いだすべく鋭意検討した。その結果、特願平9-293465号（出願人整理番号970152／代理人整理番号P0060）において、以下の事項に想到し、これを開示した。即ち、基板の上にGaN系の半導体をヘテロエピタキシャル成長させるには、基板は下記の要件①～⑤のうちの少なくとも2つを満足する必要があると考えるに至った。

- ① GaN系の半導体と基板との密着性が良好なこと
- ② GaN系の半導体の熱膨張係数と基板の熱膨張係数とが近いこと
- ③ 基板の弾性率が低いこと
- ④ 基板の結晶構造がGaN系の半導体と同じであること
- ⑤  $| \text{基板の格子定数} - \text{GaN系の半導体の格子定数} | / \text{GaN系の半導体の格子定数} \leq 0.05$  である（即ち、基板の格子定数とGaN系の半導体層の格子定数との差が±5%以下である）こと、

勿論、好ましくは上記の要件のうちの少なくとも3つ、更に好ましくは上記要件のうち少なくとも4つ、そして、最も好ましくは、5つの要件の全てを満足する。

【0008】このような条件を満足する材料として、既述の先の出願特願平9-293465号ではいくつかの金属材料に注目している。その中の一つとしてTiが開示されている。また、当該先の出願によれば基板は少なくともその表面、即ちGaN系の半導体層に接する面において上記の要件を満足しておればよい。従って、基板の基体部分を任意の材料で形成して基板の表面部分を上記の要件を満足する材料で形成することもできる。サファイア基板の場合と同様に、半導体層と基板との間にAlNやGaNのような $A_{1-a}I_{nb}Ga_{1-a-b}N$ （a=0、b=0、a=b=0を含む）からなるバッファ層を介在させることができる。

【0009】一方、特願平9-293463号（出願人整理番号970136／代理人整理番号P0057）によれば、Si基板とGaN系の半導体層との間に応力緩衝用のバッファ層が介在される構成の半導体素子が開示されている。この応力緩衝用バッファ層を構成する材料として当該先の出願特願平9-293465号ではいくつかの金属材料に注目しているが、その中の一つとしてTiが開示されている。即ち、Si基板上にTi層が形成され、その上にGaN系の半導体層が形成される構成の半導体素子が開示されている。

【0010】この発明は、上記2つの先の出願で開示した事項に基づいてなされた。そしてそれを更に改良及び発展させたものである。即ち、この発明の第1の局面はつきのとおりである。GaN系の半導体層と、該半導体層に対向する面がTi製とされた基板と、を備えてなるGaN系の半導体素子。

【0011】このように構成された半導体素子によれば、GaN系の半導体層が発光素子構造を採る場合、この基板自体が反射層の役目をする。従って、素子で発光された光を有効に利用できる。よって、透明なサファイア基板を用いた発光素子若しくは受光素子で必要とされていた別個の反射層の形成が不要となる。また、GaNのように光を吸収する材料で基板を形成した場合における当該基板の除去作業が不要になる。

【0012】（GaN系の半導体層について）GaN系の半導体とはIII族窒化物半導体であって、一般的には $Al_xGa_{1-x}N$ （ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$ ）で表される。また、任意のドーパントを含むものであっても良い。発光素子及び受光素子では、周知のように、発光層が異なる導電型の半導体層（クラッド層）で挟まれる構成であり、発光層には超格子構造やダブルヘテロ構造等が採用される。FET構造に代表される電子デバイスをGaN系の半導体で形成することもできる。GaN系の半導体層は周知の有機金属化合物気相成長法（以下、「MOCVD法」という。）により形成される。また、周知の分子線結晶成長法（MBE法）によても形成することができる。

【0013】（基板について）基板はその表面、即ちGaN系の半導体層に対向する面がTiで形成されておればよい。従って、基板の表面層のみをTi製として下側の層（基体層）を他の任意の材料で形成することができる。また、基板の基体層を低純度若しくは不純物を含んだTi材料若しくはTi合金で形成しておき、表面層を高純度のTiで形成することもできる。なお、GaN系の半導体層に対向する面は単結晶Ti製とすることが好ましい。また、結晶構造が実質的に維持されている条件の下で、TiをTi合金に代えることもできる。

【0014】基板は全体として導電性を有することが好ましい。基板を導電性とすれば、基板に電極を接続し、基板側よりGaN系の半導体層に通電することができる。従って、GaN系の半導体層で発光素子又は受光素子を構成するとき必要とされた当該半導体層に対する複雑なエッチングが不要になる。図21の例で言えば、nクラッド層が基板を介して外部に電気的に接続可能となる。一方、サファイア基板の場合は、これが絶縁性であったため発光層及びpクラッド層をエッチングしてnクラッド層を露出し、これを外部と電気的に接続させる必要があった。基板から半導体層へ通電可能となったので、外部電源に対するポンディングも容易になる。更には、アースをとればチャージアップの問題も容易に解決

される。

【0015】このように基板に導電性を与えるためには、基板の基体層をCr、Hf、Nb、Re、Ta、Ti、V、Zr及びYなどの導電性の金属、Si、GaN、GaP、ZnO並びにZnSe等で形成する。かかる基体層に対し、プラズマCVD、熱CVD、光CVD等のCVD (Chemical Vapour Deposition)、スパッタ、蒸着等の(Physical Vapour Deposition)等の方法でTi層が形成される。

【0016】

【発明の実施の形態】この発明の一の実施の形態によれば、基板の基体層としてサファイアを採用し、当該サファイア基体層の表面に単結晶Ti層が蒸着される。図1はTi単結晶の結晶性の膜厚依存性を示す。図1の結果を得たときのTi層の形成条件は次の通りである。

蒸着速度: 0.5 nm/s

蒸着温度: 150°C

膜厚: 測定対象

なお、図1の縦軸の強度はTi層に対してφ(PHI)スキャンを実行したとき得られた6本のピークの平均強度(相対値)である。縦軸の強度が大きいほど結晶性が良い。GaN系の半導体層の結晶性を向上するためにはその土台となるTi層にも高い結晶性が要求されることを言うまでもない。なお、Ti単結晶に対するφ(PHI)スキャンでは、サンプルを360度回転させたときに六方晶の(101-2)面に対応する6つのピークが得られる。このようにφ(PHI)スキャンで6つのピークが観測されたTi層は単結晶であるか又は単結晶に近いと考えられる。φ(PHI)スキャンについてはJournal of Electronic Materials, Vol. 25, No. 11, pp. 1740-1747, 1996を参照されたい。

【0017】また、図1の結果を得るに当たってTi層を形成する前に下記の前処理を行う。他の図に示す結果を得たときも同様である。チャンバ内へサファイア基板をセットし、工業的に汎用される真空ポンプで $3 \times 10^{-5}$  Torrまで真空引きしその後窒素ガスでチャンバ内を充満する。この作業を3回繰り返す。これは、チャンバ内の酸素を減らしTiが酸化されるのを未然に防止するためである。従って、チャンバ内の酸素を充分に排出できれば他の方法を探ることも可能である。なお、本発明者らの検討によれば、現在工業的に汎用される蒸着装置に付設の真空装置の能力では真空度に限度(通常:  $\sim 10^{-7}$  Torr)があるので、かかる窒素バージを繰り返すことが不可欠であった。勿論、窒素ガスの代わりに他の不活性ガスを用いることができる。次に、窒素ガスを拡散ポンプで $8 \times 10^{-7}$  Torrまで真空引きする。【0018】かかる前処理の終了後、基板をランプヒーターで所定の温度に加熱するとともに、Tiのバルクに電子ビームを照射してこれを融解し、サファイア基板上に

単結晶Ti層を蒸着させた。

【0019】φ(PHI)スキャンはフィリップス社製の4軸型単結晶回折計(製品名: X-pert)により行った(以下のφ(PHI)スキャンについても同じ。)。図2にφ(PHI)スキャンの結果(Ti層: 300 nmのとき)の一例を示す。図2に現れたTiの(101-2)面に対応する6つのピークの強度(相対値)の平均が図1の縦軸の値となる。

【0020】図1の結果より、Ti以外の材料製の基体10層の表面に形成されるTi層の膜厚は1000~1500 nmオングストローム(100~1500 nm)とすることが好ましい。Ti層の膜厚が100 nm未満であると充分な結晶性を得られず、また1500 nmを越えてTi層を厚くする必要はない。成膜のために時間を要するだけであるからである。成膜の時間に制約のない場合は上限を設ける必要はない。また、この程度の膜厚のTi層を設けることにより、GaN系の半導体層で発光した光のうち基板側へ放出されたものは当該Ti層で反射され、基板を透過することがない。従って、GaN系の半導体層で生じた光の実質的に全部が素子の表面から取り出されることとなり、当該光の有効利用が達成される。更に好ましくは、Ti層の膜厚を2000~1000 nmオングストローム(200~1000 nm)とする。

【0021】図3はサファイア基板上におけるTi蒸着膜結晶性の蒸着速度依存性を示す。図の縦軸はφ(PHI)スキャンにより得たピークの平均強度(相対値)である。なお、図3の結果を得たときのTi層の形成条件は次の通りであった。

30 蒸着速度: 測定対象

蒸着温度: 150°C

膜厚: 300 nm

【0022】図3の結果より、Ti層の蒸着速度は0.5 nm/s以上とすることが好ましいことがわかる。なお、Tiの蒸着速度を2 nm/s以上とすることは現実的でない。表面モフォロジーの劣化が見られるからである。

【0023】図4はサファイア基板上におけるTi蒸着膜結晶性の蒸着温度(蒸着時の基板温度)依存性を示す。図の縦軸はφ(PHI)スキャンにより得たピークの平均強度(相対値)である。なお、図4の結果を得たときのTi層の形成条件は次の通りであった。

蒸着速度: 0.5 nm/s

蒸着温度: 測定対象

膜厚: 300 nm

【0024】図4の結果より、サファイア基板を特に加熱しない、いわゆる室温状態から350°Cの間で充分な結晶性が得られることが予想される。更に好ましくは25~250°Cであり、更に更に好ましくは150~250°Cである。なお、本発明者らの検討によれば、蒸着温

11

度は130~170°Cとすることが好ましいことがわかった。更に好ましくはほぼ150°Cである。170°Cより高い温度になるとTiのc軸配向性が低下おそれがあるからである。

【0025】図5はサファイア基板上におけるTi蒸着膜結晶性の熱処理温度依存性を示す。図5の結果を得たときのTi層の形成条件は次の通りであった。

蒸着速度: 0.5 nm/s

蒸着温度: 150°C

膜厚: 300 nm

このようにして得られたTi層/サファイア基板を熱処理炉において横軸に示すそれぞれの温度まで加熱(5分間)したときのものである。縦軸は図1と同様に $\phi$ (PHI)スキャンにより得たピークの平均強度(相対値)である。

【0026】図5の結果より、Ti層に750°Cを越える温度を加えるとその結晶性が低下することがわかる。換言すれば、Ti層の上に少なくとも一つのGaN系の半導体層を成長させるまではTi層を750°C以下に保持しておくことが好ましい。当該第1のGaN系の半導体層の形成後はこの上に第2のGaN系の半導体層を形成することができるので、第1のGaN系の半導体層の結晶性が保持される温度が臨界温度となる。この臨界温度においてTi層の結晶性が低下しても、第1のGaN系の半導体層の結晶性が維持されている限り、第2のGaN系の半導体層の結晶性に影響が出ないからである。図5の結果より、Ti層の上に少なくとも一つのGaN系の半導体層を成長させるまではTi層を600°C以下に保持しておくことが更に好ましい。

【0027】図6はサファイア基板上に形成されたTi層の上に更にAlN製のバッファ層を形成し、その上に成長されたGaN層の結晶性を評価するための $2\theta-\omega$ ( $2\theta$ : 20~100度)スキャンの結果を示す。この $2\theta-\omega$ スキャンもフィリップス社製の4軸型単結晶回折計(製品名: X-pert)により行った(以下の $2\theta-\omega$ スキャンの測定結果も同じ)。図6の結果を得たときのTi層の形成条件は次の通りであった。

蒸着速度: 0.5 nm/s

蒸着温度: 150°C

膜厚: 300 nm

なお、以下の測定結果についても同じ条件でTi層を形成した。

【0028】また、AlN製のバッファ層を形成する前に真空中( $3 \times 10^{-5}$  Torr)でTi/サファイア基板を600°Cで5分間加熱した(真空クリーニング)。AlN製のバッファ層は下記の条件でMOCVD法により形成した。

反応容器内圧力 : 常圧

温度 : 400°C

材料ガス1 : アンモニア

12

材料ガス2 : TMA

キャリアガス : H<sub>2</sub>

【0029】GaN層は下記の条件でMOCVD法により形成した。

反応容器内圧力 : 常圧

温度 : 1000°C

材料ガス1 : アンモニア

材料ガス2 : TMG

キャリアガス : H<sub>2</sub>

10 なお、以下の例においてGaN層の形成条件は上記と同一である。

【0030】図7は図6と同じ試料について $\phi$ (PHI)スキャンを行ったときの結果である。図6及び図7の結果から、Ti/サファイア基板上に、AlNバッファ層を介して、成長されたGaNは好ましい結晶性を有することがわかる。従って、かかるAlN/Ti/サファイア基板上にGaN系の半導体層を成長させれば、この半導体層によって充分機能し得る発光素子等の半導体素子を形成することができる。

20 【0031】図8はサファイア基板上に形成されたTi層の上に更にAlGaN製のバッファ層を形成し、その上に成長されたGaN層の結晶性を評価するための $2\theta-\omega$ ( $2\theta$ : 20~100度)スキャンの結果を示す。なお、AlGaN製のバッファ層を形成する前に真空中( $3 \times 10^{-5}$  Torr)でTi/サファイア基板を600°Cで5分間加熱した(真空クリーニング)。AlGaN製のバッファ層は下記の条件でMOCVD法により形成した。

チャンバ内圧力 : 常圧

温度 : 300°C

材料ガス1 : アンモニア

材料ガス2 : TMA

材料ガス3 : TMG

キャリアガス : H<sub>2</sub>

【0032】GaN層は図6及び図7の場合と同一の条件でMOCVD法により形成した。図9は図8と同じ試料について $\phi$ (PHI)スキャンを行ったときの結果である。図9及び図8の結果から、Ti/サファイア基板上に、AlGaNバッファ層を介して、成長されたGaNは好ましい結晶性を有することがわかる。図6及び図7との比較から、バッファ層をAlGaN製とするとその上に形成されるGaN層の結晶性がより良くなることがわかる。

【0033】図10はTi/サファイア基板上に、AlGaNバッファ層を介して、成長されたGaNの結晶性を評価するロッキングカーブである。当該ロッキングカーブの結果から、当業者であれば、このGaNが発光素子を構成する半導体層として充分な特性を持つことがわかる。

50 【0034】図11はAlGaN製のバッファ層の成長

13

温度とGaN結晶性との関係を示す。図の縦軸は図9と同様にして得られた $\phi$ (PHI)スキャンの6本のピーク強度の平均値(相対値)である。なお、Ti層の形成条件は既述のとおりである。このTi膜に対するクリーニングはチャンバ内を真空( $3 \times 10^{-5}$  Torr)にして600°C、5分間行った。AlGaN製のバッファ層のMOCVDの条件は次の通りであった。

チャンバ内圧力：常圧

温度：測定対象

材料ガス1：アンモニア

材料ガス2：TMA

材料ガス3：TMG

キャリアガス：H<sub>2</sub>

キャリアガス流量比(TMG/(TMG+TMA))：0.625

【0035】図11の結果から、AlGaN製のバッファ層の成長温度は250~350°Cとすることが好ましい。更に好ましくは280~330°Cである。更に更に好ましくはほぼ300°Cである。

【0036】図12はAlGaN製のバッファ層を形成する際のTMGとTMAのキャリアガス流量比とGaN結晶性との関係を示す。図の縦軸は図9と同様にして得られた $\phi$ (PHI)スキャンの6本のピーク強度の平均値(相対値)である。なお、Ti層の形成条件は既述のとおりである。このTi膜に対するクリーニングはチャンバ内を真空( $3 \times 10^{-5}$  Torr)にして600°C、5分間行った。AlGaN製のバッファ層のMOCVDの条件は次の通りであった。

チャンバ内圧力：常圧

温度：300°C

材料ガス1：アンモニア

材料ガス2：TMA

材料ガス3：TMG

キャリアガス：H<sub>2</sub>

キャリアガス流量比(TMG/(TMG+TMA))：測定対象

GaN層の形成条件は既述のとおりである。

【0037】図12の結果からキャリアガスの流量比はTMG/(TMG+TMA)=0.4~0.8とすることが好ましいことがわかる。従って、反応容器内に供給される材料ガスのモル比でいうと、TMG/(TMG+TMA)=0.53~0.87とすることが好ましい。更に好ましくは、同流量比0.5~0.7(同モル比=0.63~0.80)である。更に更に好ましくは同流量比0.60~0.65である。今のところ、同流量比=0.625(同モル比=0.737)が最も好ましいと考えられる。

【0038】本発明者らの検討によれば、図12の結果を得たときの条件においてキャリアガス流量比をTMG/(TMG+TMA)=0.625とすると、バッファ層の組成はAl<sub>0.9</sub>Ga<sub>0.1</sub>Nであった。Al<sub>1-x</sub>Ga<sub>x</sub>N製のバッファ層においてAlの組成比 $x$ は0.85~

14

0.95とすることが好ましい。

【0039】図13はTi/サファイア基板のクリーニング温度とGaNの結晶性との関係を示す。図の縦軸は図9と同様にして得られた $\phi$ (PHI)スキャンの6本のピーク強度の平均値(相対値)である。なお、Ti層の形成条件は既述のとおりである。AlGaNバッファ層及びGaN層の形成条件は図8の場合と同一である。尚、図中黒塗り三角で示すクリーニングの結果はサファイア基板上にTiを蒸着させた基板をMOCVDチャン

10 バ内で真空(真空度： $3 \times 10^{-5}$  Torr)にして、ランプヒーターで基板を所望の温度まで加熱し、その温度で5分間維持し、その後放冷したときのものである。一方、図中の白抜き三角(△)で示すクリーニングの結果はサファイア基板上にTiを蒸着させた基板をMOCVDチャンバへ水素を供給し(チャンバ内：1気圧)、ランプヒーターで基板を所望の温度まで加熱し、その温度で5分間維持し、その後放冷したときのものである。

【0040】図13の結果から、サファイア基板上にTi層を蒸着した後、バッファ層を形成する前に、Tiを真空中で加熱してクリーニングすると結晶性の高いGaN層の得られることがわかる。クリーニングの温度は500~750°Cとすることが好ましい。更に好ましくは550~700°Cである。更に更に好ましくは600~650°Cである。クリーニングを行うときの真空度は特に限定されないが、Ti層から不純物を除去する見地から、できる限り高い真空度を達成することが好ましい。

【0041】以上の結果はサファイア基板とTi層との組み合わせに関するものであるが、Si及び他の材料製の基板上のTi層を形成した場合についても同様の

30 ことがいえると考えられる。

【0042】図14はSi基板の(111)面上に蒸着したTi結晶性のウエハ洗浄依存性を示す。但し、Tiの蒸着条件は次のとおりである(サファイア基板のときと同じ)。

蒸着速度：0.5 nm/s

蒸着温度：150°C

膜厚：300 nm

Si基板に対して、サファイア基板の場合と同様にして窒素バージによりチャンバ内から実質的に酸素を除去し、その(111)面にTi層を蒸着したときの結果を図14の実線で示す。なお、図14はTi層の(101-2)面に対する $\phi$ (PHI)スキャンの結果を示している。一方、図14の破線は窒素バージの前に予めバッファードフッ酸でSi基板を10秒間洗浄したときのものである。図15は図14の試料のTi層の(112-2)面に対する $\phi$ (PHI)スキャンの結果を示している。

【0043】図14及び図15の結果より、予めバッファードフッ酸で洗浄したSi基板の上に蒸着されたTi層は良い結晶性を持つが、当該酸洗浄の省略されたSi

50 層は良い結晶性を持つが、当該酸洗浄の省略されたSi

基板上に蒸着されたTi層の結晶性は非常に悪いことがわかる。

【0044】図16は図14のものと同様にSi基板の(100)面上に蒸着したTi層の(101-2)面に対するμ(PHI)スキャンの結果を示す。図17は同じくSi基板の(100)面上に蒸着したTi層の(112-2)面に対するμ(PHI)スキャンの結果を示す。

【0045】図16及び図17の結果から、Si基板の(100)面上に蒸着したTi層は、酸洗浄の有無に拘りなく

層	組成: ドーパント	(膜厚)
pクラッド層 6	p-GaN:Mg	(0.3μm)
発光層 5	超格子構造	
量子井戸層	I <sub>0.15</sub> Ga <sub>0.85</sub> N	(3.5nm)
バリア層	GaN	(3.5nm)
量子井戸層とバリア層の繰り返し数	1~10	
nクラッド層 4	n-GaN:Si	(4μm)
バッファ層 3	A <sub>1.9</sub> Ga <sub>0.1</sub> N	(15nm)
Ti層 2	Ti単結晶	(300nm)
基板 1	サファイア	(300μm)

【0048】nクラッド層4は発光層5側の低電子濃度n<sup>+</sup>層とからなる2層構造とすることができます。発光層5は超格子構造のものに限定されず、シングルヘテロ型、ダブルヘテロ型及びホモ接合型のものなどを用いることができる。発光層5とpクラッド層6との間にマグネシウム等のアクセプタをドープしたバンドギャップの広いA<sub>1-x</sub>I<sub>x</sub>Ga<sub>1-x-y</sub>N (X=0, Y=0, X=Y=0を含む)層を介在させることができる。これは発光層5中に注入された電子がpクラッド層6に拡散するのを防止するためである。pクラッド層6を発光層5側の低ホール濃度p<sup>-</sup>層と電極7側の高ホール濃度p<sup>+</sup>層とからなる2層構造とすることができる。

【0049】上記において、バッファ層3までの形成方法は図10の結果を得たときと同様である。

【0050】各GaN系の半導体層は周知のMOCVD法により形成される。この成長法においては、アンモニアガスとIII族元素のアルキル化合物ガス、例えばトリメチルガリウム(TMGA)、トリメチルアルミニウム(TMA)やトリメチルインジウム(TMI)とを適当な温度に加熱された基板上に供給して熱分解反応させ、もって所望の結晶を基板の上に成長させる。

【0051】透光性電極7は金を含む薄膜であり、pク

\*わらず、その結晶性が非常に悪いことがわかる。以上、図14~17の結果より、Si基板の上に単結晶のTi層を形成するにはSi基板の(111)面上にTiを蒸着させること及びSi基板を予めバッファードフッ酸やフッ酸等で酸洗浄することが必要である。

#### 【0046】

【実施例】次に、この発明の第1の実施例の説明をする。この実施例は発光ダイオード10であり、その構成を図18に示す。

【0047】各半導体層のスペックは次の通りである。

※ラッド層6の上面の実質的な全面を覆って積層される。p電極8も金を含む材料で構成されており、蒸着により透光性電極7の上に形成される。n電極9がnクラッド層4に蒸着される。

【0052】(第2実施例)図19にこの発明の第2の実施例の半導体素子を示す。この実施例の半導体素子は発光ダイオード20であり、図18に示した第1の実施例の発光ダイオード10と同一の部分には同一の符号を付してその説明を省略する。即ち、この実施例の発光ダイオード20はバッファ層23をAIN製としたものである。

【0053】(第3実施例)図20にこの発明の第3の実施例の半導体素子を示す。この実施例の半導体素子は発光ダイオード30であり、図18に示した第1の実施例の発光ダイオード10と同一の部分には同一の符号を付してその説明を省略する。即ち、この実施例の発光ダイオード30はバッファ層が省略されているものである。この場合、nクラッド層はMBE法により形成する。

【0054】(第4実施例)図21にこの発明の第4の実施例の半導体素子を示す。この実施例の半導体素子は発光ダイオード40である。各半導体層のスペックは次の通りである。

層	組成: ドーパント	(膜厚)
pクラッド層 46	p-GaN:Mg	(0.3μm)
発光層 45	超格子構造	
量子井戸層	I <sub>0.15</sub> Ga <sub>0.85</sub> N	(3.5nm)
バリア層	GaN	(3.5nm)
量子井戸層とバリア層の繰り返し数	1~10	
nクラッド層 44	n-GaN:Si	(4μm)

17

バッファ層 43	:	$\text{Al}_{0.9}\text{Ga}_{0.1}\text{N}$	(15nm)
Ti層 42	:	Ti単結晶	(300nm)
基板 41	:	Si (111)面	(300μm)

【0055】 $\text{AlGaN}$ 製のバッファ層43は、第2実施例と同様に、 $\text{AlN}$ 製のものに置換することができ、また、第3実施例と同様にバッファ層43を省略することもできる。 $\text{GaN}$ 系の半導体層44～46は、第1の実施例で説明したように、他の構成の層にそれぞれ置換することができる。また、それぞれの形成方法も第1の実施例と同様である。但し、バッファ層を省略したときは、Ti層に隣接する $\text{GaN}$ 系の半導体層をMBE法で形成する。

【0056】上記において、Ti層42の形成方法は図14の破線の結果を得たときと同様である。 $\text{AlGaN}$ 製のバッファ層43は第1の実施例と同様にして形成された。

【0057】透光性電極47は金を含む薄膜であり、pクラッド層46の上面の実質的な全面を覆って積層される。p電極48も金を含む材料で構成されており、蒸着により透光性電極7の上に形成される。基板はそのままのn電極として利用できる。

【0058】図22に第4実施例の変形態様を示す。なお、図21と同一の層には同一の符号を付してその説明を省略する。図22に示すように、バッファ層43の上にpクラッド層46、発光層45及びnクラッド層44を順に成長させて発光素子50を構成することもできる。この素子50の場合、抵抗値の低いnクラッド層44が最上面となるのでこの透光性電極(図21の符号47参照)を省略することが可能となる。図の符号58はn電極である。基板はそのままp電極として利用できる。

【0059】このように構成された第4実施例の半導体素子では、先の出願である特開平9-293463号に記載の通りTi層が応力緩衝用のバッファ層となるので、Si基板と $\text{GaN}$ 系の半導体層との熱膨張率の差に起因するクラックは $\text{GaN}$ 系の半導体層に殆ど入らなくなる。

【0060】なお、本発明が適用される素子は上記の発光ダイオードに限定されるものではなく、受光ダイオード、レーザダイオード等の光素子の他、FET構造の電子デバイスにも適用できる。また、これらの素子の中間体としての積層体にも本発明は適用されるものである。

【0061】この発明は上記発明の実施の形態及び実施例の記載に何ら限定されるものではなく、特許請求の範囲を逸脱しない範囲で当業者が想到し得る種々の変形態様を包含する。

【0062】以下、次の事項を開示する。

(80) サファイア基板を準備し、実質的に酸素が除去された環境のもとで該サファイア基板へTiを蒸着あるいはスパッタすることを特徴とするサファイア基板の\*50

18

\*上に実質的に単結晶のTi層を形成する方法。

(81) 前記Ti層の成膜速度が0.5nm/s以上である、ことを特徴とする、(80)に記載の方法。

(82) 前記Ti層の成膜温度は室温～250°Cである、ことを特徴とする、(80)に記載の方法。

【0063】(83) 前記Ti層の成膜温度はほぼ10°Cである、ことを特徴とする(80)に記載の方法。

(84) 前記Ti層の膜厚を100～1500nmとする、ことを特徴とする(80)～(83)のいずれかに記載の方法。

(85) 前記Ti層の膜厚を200～1000nmとする、ことを特徴とする(80)～(83)のいずれかに記載の方法。

【0064】(86) 前記酸素が除去された環境は、蒸着装置のチャンバ内を真空引きした後、該チャンバ内へ不活性ガスを充满させる工程を1回もしくは複数回行い、その後、前記チャンバ内を真空引きすることにより行う、ことを特徴とする(80)～(85)のいずれかに記載の方法。

【0065】(90) Si基板を準備し、該Si基板を酸洗浄し、実質的に酸素が除去された環境の下で該Si基板の(111)面にTiを成膜することを特徴とするSi基板上に実質的に単結晶のTi層を形成する方法。

(91) 前記酸洗浄はフッ酸若しくはバッファードフッ酸を含む液により行われる、ことを特徴とする(90)に記載の方法。

(92) 前記Ti層の成膜速度が0.5nm/s以上である、ことを特徴とする、(90)若しくは(91)に記載の方法。

【0066】(93) 前記Ti層の成膜温度は室温～250°Cである、ことを特徴とする(90)若しくは(91)に記載の方法。

(94) 前記Ti層の成膜温度はほぼ150°Cである、ことを特徴とする(90)若しくは(91)に記載の方法。

【0067】(96) 前記Ti層の膜厚を200～1000nmとする、ことを特徴とする(90)～(94)のいずれかに記載の方法。

(97) 前記酸素が除去された環境は、蒸着装置のチャンバ内を真空引きした後、該チャンバ内へ不活性ガスを充满させる工程を1回もしくは複数回行い、その後、前記チャンバ内を真空引きすることにより行う、ことを

特徴とする(90)～(96)のいずれかに記載の方  
法。

【0068】(100) Ti 単結晶面上にGaN系の  
半導体層を形成する前に、前記Ti 単結晶面を減圧下で  
加熱することを特徴とするGaN系の半導体層の成長方  
法。

(101) 前記加熱温度は500～750℃である、  
ことを特徴とする(100)に記載の方法。

(102) 前記加熱温度は550～700℃である、  
ことを特徴とする(100)に記載の方法。

(103) 前記加熱温度は600～650℃である、  
ことを特徴とする(100)に記載の方法。

【図面の簡単な説明】

【図1】図1はサファイア基板上に蒸着されたTi層の  
結晶性の膜厚依存性を示すグラフ図である。

【図2】図2はサファイア基板上に蒸着されたTi層の  
φ(PHI)スキャンの結果を示すチャート図である。

【図3】図3はサファイア基板上に蒸着されたTi層の  
結晶性の蒸着速度依存性を示すグラフ図である。

【図4】図4はサファイア基板上に蒸着されたTi層の  
結晶性の蒸着温度依存性を示すグラフ図である。

【図5】図5はサファイア基板上に蒸着されたTi層を  
熱処理したときのTi層の結晶性と当該熱処理温度との  
関係を示すグラフ図である。

【図6】サファイア基板上に形成されたTi層の上に更  
にAlN製のバッファ層を形成し、その上に成長された  
GaN層の結晶性を評価するための2θ-ωスキャンの  
結果を示すチャート図である。

【図7】図7は図6と同じ試料についてφ(PHI)ス  
キャンを行ったときの結果を示すチャート図である。

【図8】図8はサファイア基板上に形成されたTi層の  
上に更にAlGaN製のバッファ層を形成し、その上に  
成長されたGaN層の結晶性を評価するための2θ-ω  
スキャンの結果を示すチャート図である。

【図9】図9は図8と同じ試料についてφ(PHI)ス  
キャンを行ったときの結果を示すチャート図である。

【図10】図10はTi/サファイア基板上に、AlG  
aNバッファ層を介して、成長されたGaNの結晶性を

評価するロッキングカーブを示すチャート図である。

【図11】図11はAlGaN製のバッファ層の成長温  
度とGaN結晶性との関係を示すグラフ図である。

【図12】図12はAlGaN製のバッファ層を形成す  
る際のTMGとTMAのキャリアガス流量比とGaN結  
晶性との関係を示すグラフ図である。

【図13】図13はTi/サファイア基板のクリーニ  
ング温度とGaNの結晶性との関係を示すグラフ図であ  
る。

10 【図14】図14はSi基板の(111)面上に蒸着し  
たTi層の(101-2)面に対するφ(PHI)ス  
キャンの結果を示すチャート図である。

【図15】図15図14の試料のTi層の(112-  
2)面に対するφ(PHI)スキャンの結果を示すチャ  
ート図である。

【図16】図16はSi基板の(100)面上に蒸着し  
たTi層の(101-2)面に対するφ(PHI)ス  
キャンの結果を示すチャート図である。

【図17】図17は図16の試料のTi層の(112-  
2)面に対するφ(PHI)スキャンの結果を示すチャ  
ート図である。

【図18】図18はこの発明の第1実施例の半導体素子  
の構成を示す断面図である。

【図19】図19はこの発明の第2の実施例の半導体素  
子の構成を示す断面図である。

【図20】図20はこの発明の第3実施例の半導体素  
子の構成を示す断面図である。

【図21】図21はこの発明の第4の実施例の半導体素  
子の構成を示す断面図である。

30 【図22】図22はこの発明の第4の実施例の変形態様  
を示す断面図である。

【符号の説明】

10、20、30、40、50 発光素子

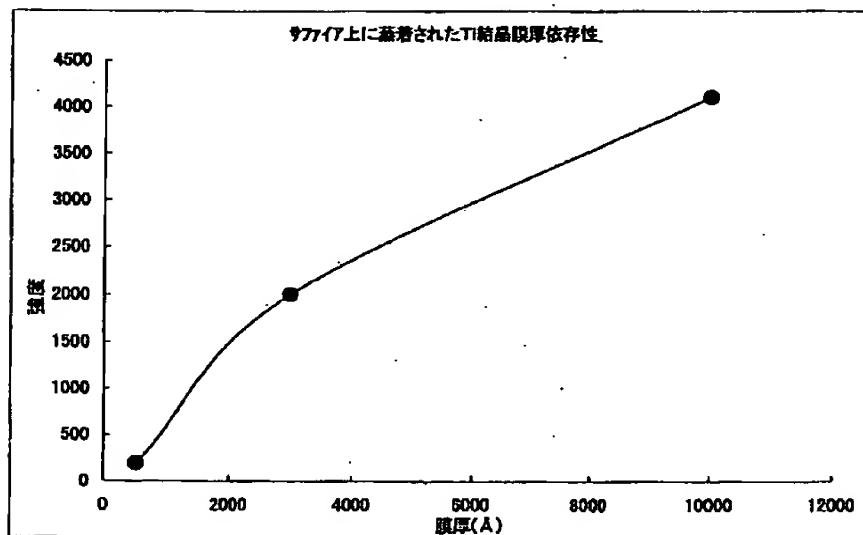
1、41 基板

2、42 Ti層

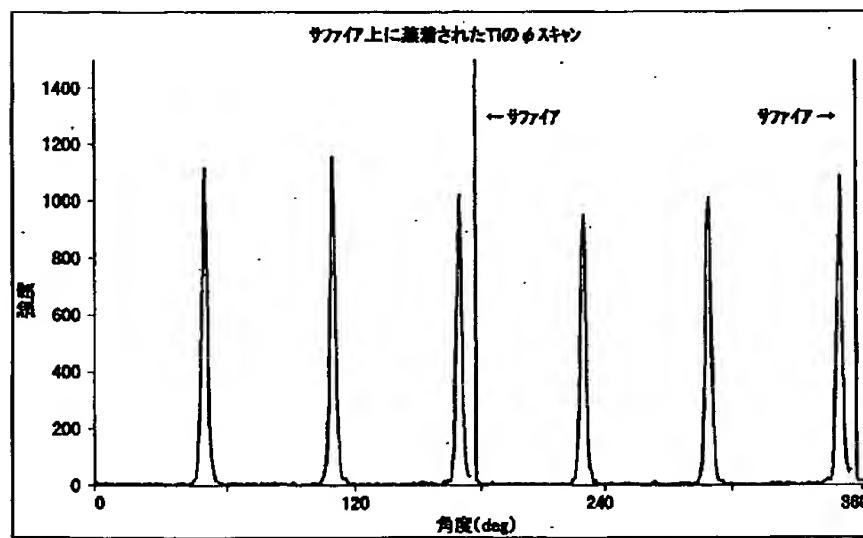
3、43 バッファ層

4、5、6、44、45、46 GaN系の半導体層

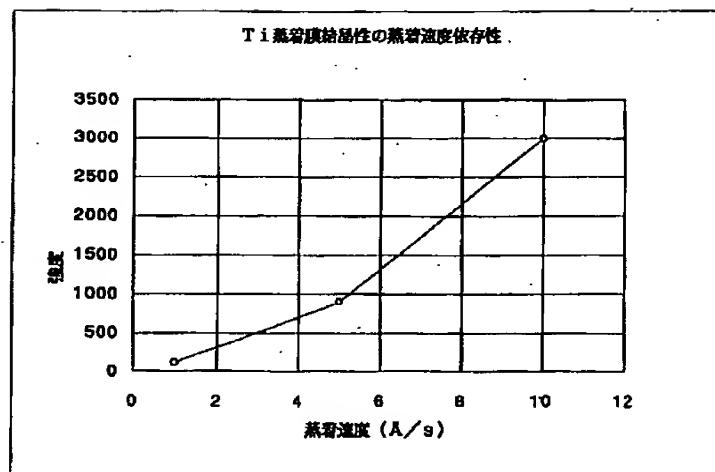
【図1】



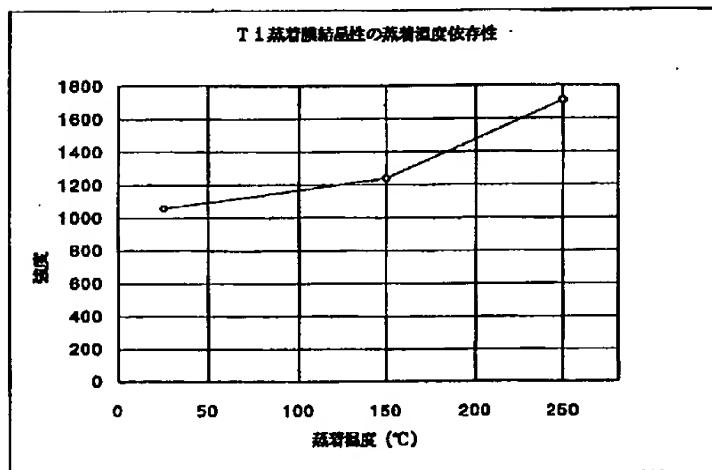
【図2】



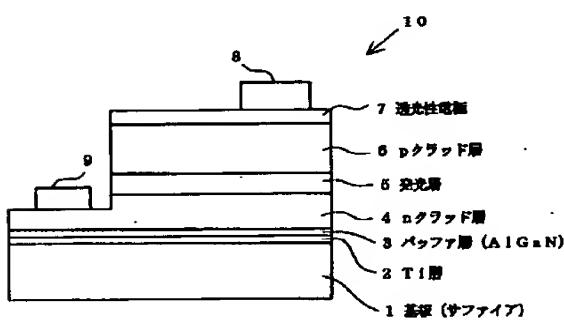
【図3】



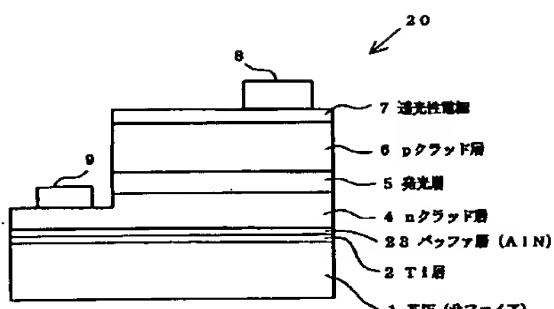
【図4】



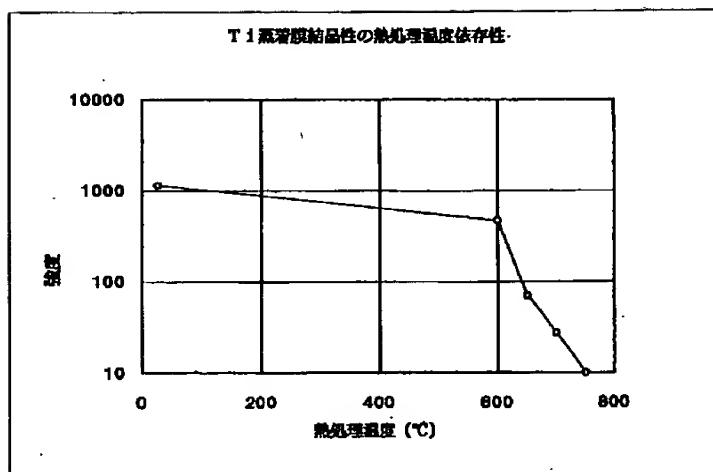
【図18】



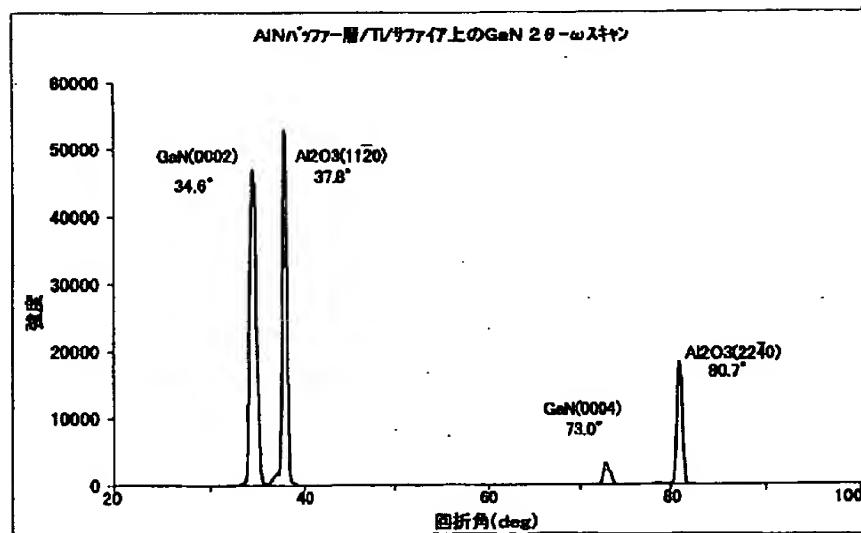
【図19】



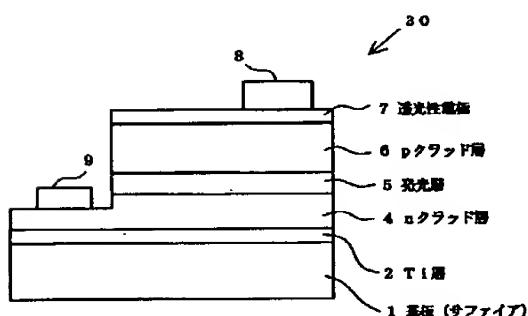
【図5】



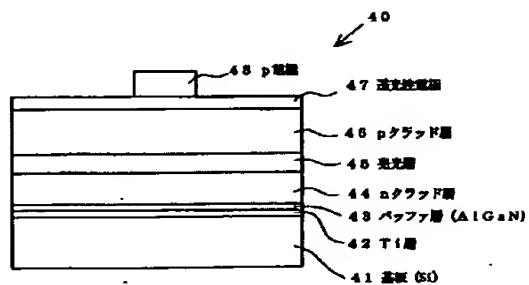
【図6】



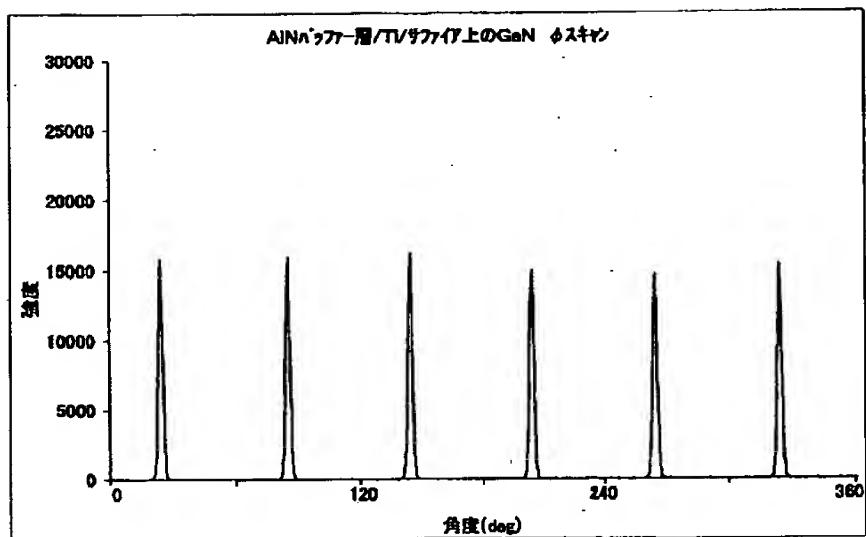
【図20】



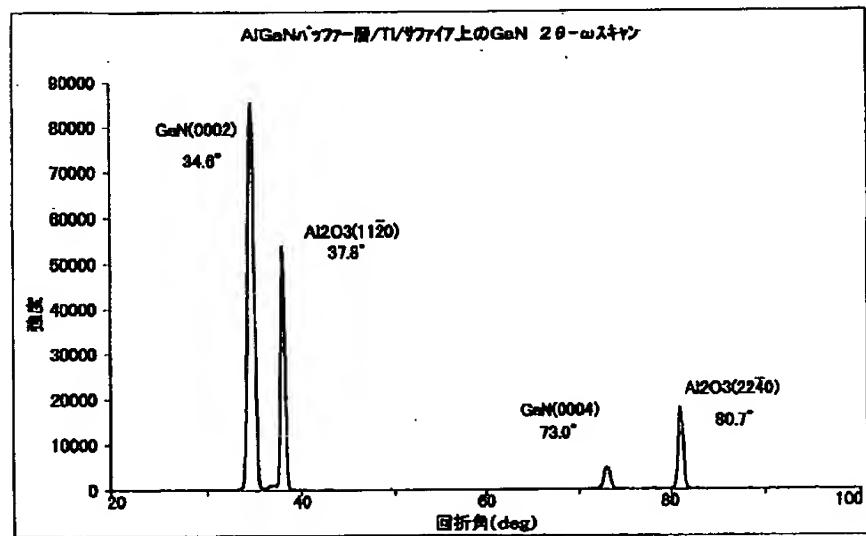
【図21】



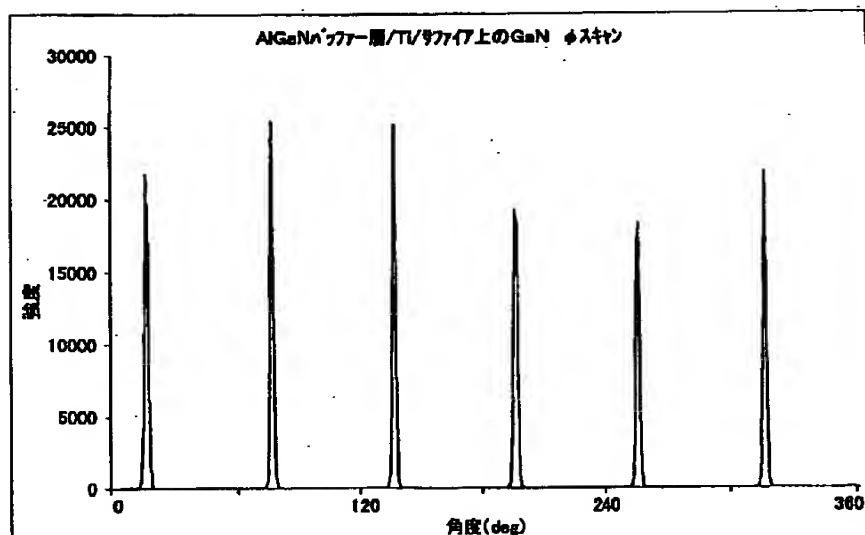
【図7】



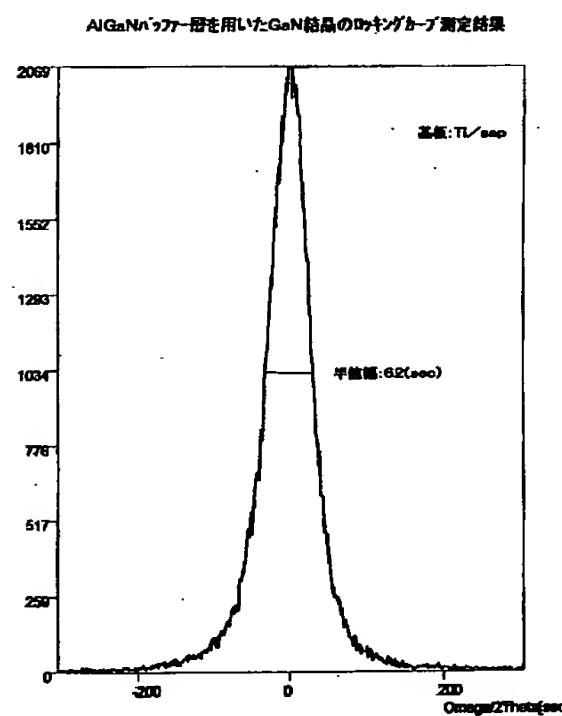
【図8】



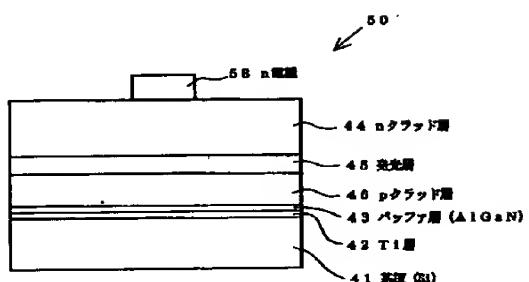
【図9】



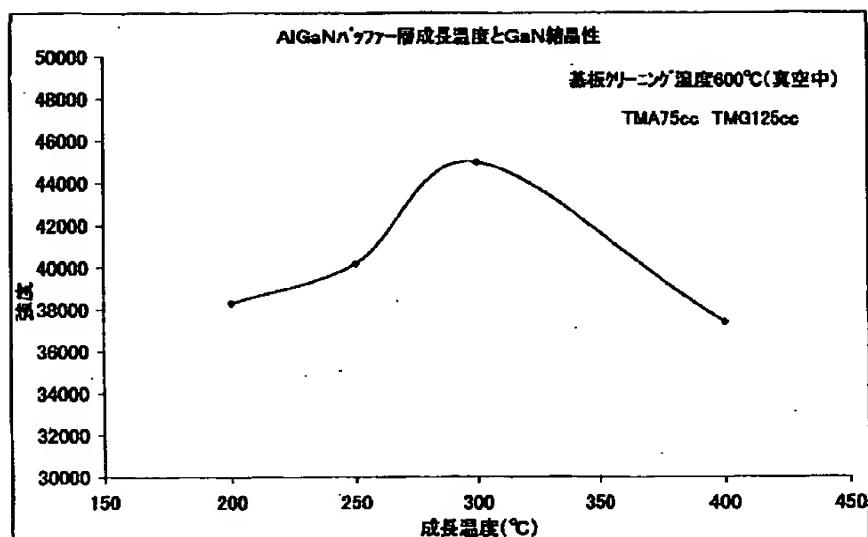
【図10】



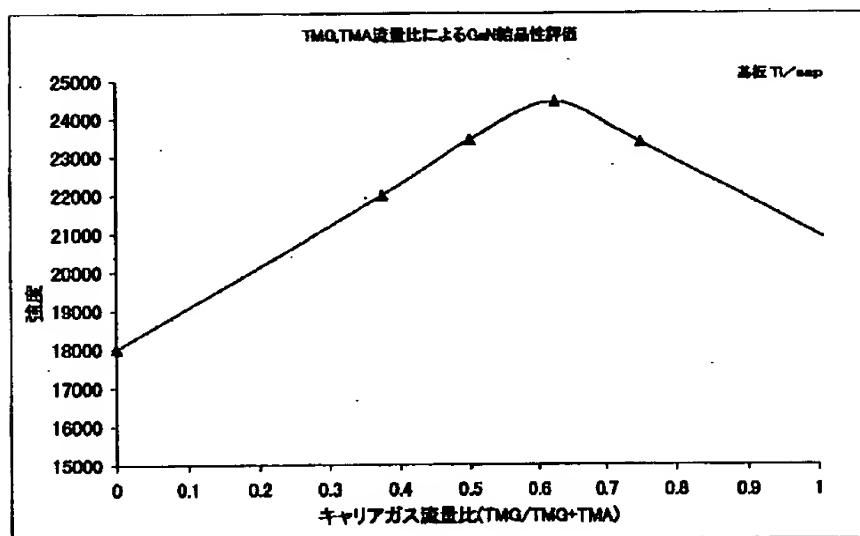
【図22】



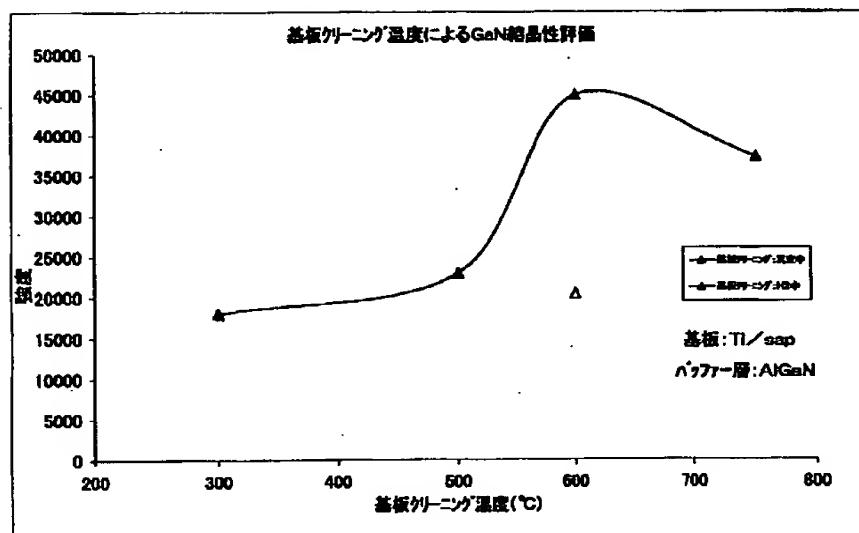
【図11】



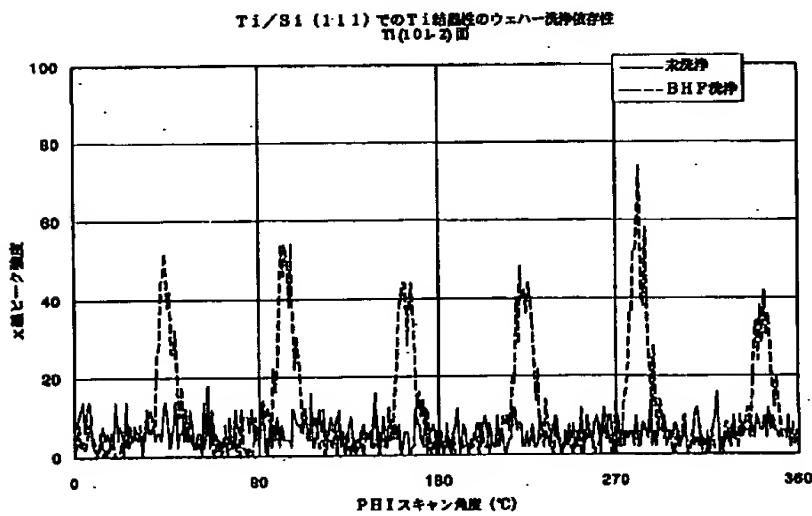
【図12】



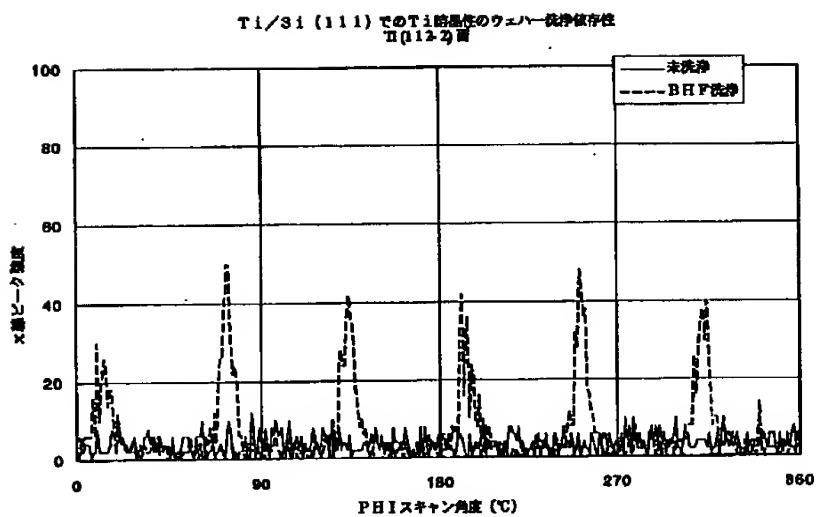
【図13】



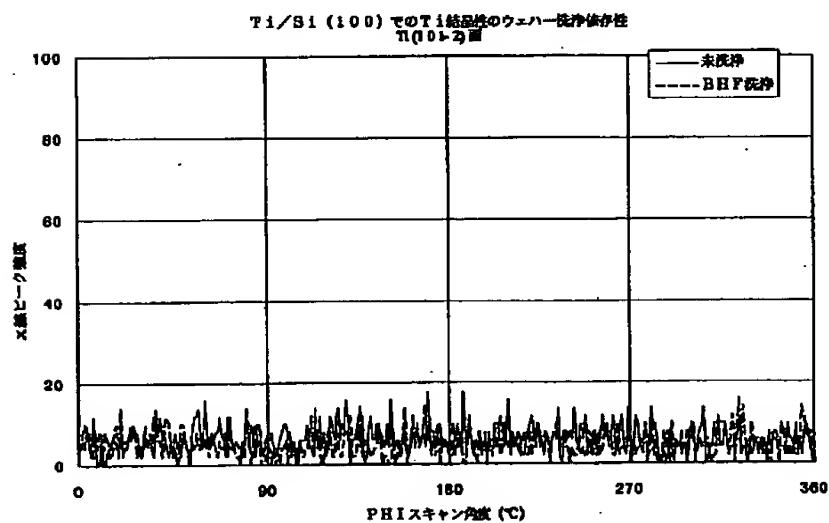
【図14】



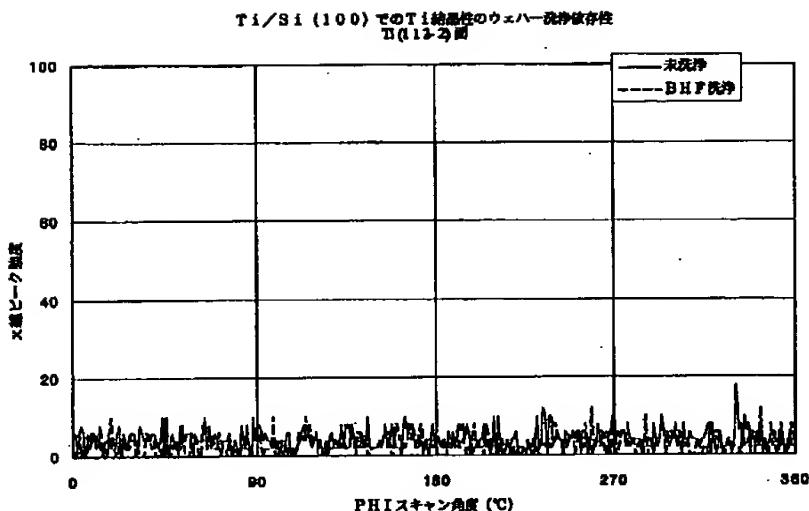
【図15】



【図16】



【図17】



## 【手続補正書】

【提出日】平成10年9月29日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

## 【補正内容】

【書類名】明細書

【発明の名称】GaN系の半導体素子

## 【特許請求の範囲】

【請求項1】GaN系の半導体層と、

該半導体層に対向する面がTi製とされた基板と、  
を備えてなるGaN系の半導体素子。

【請求項2】前記基板は基体層と単結晶のTi層あるいは単結晶に近いTi層とを備えてなる、ことを特徴とする請求項1に記載の半導体素子。

【請求項3】前記Ti層の膜厚は100～1500nmである、ことを特徴とする請求項2に記載の半導体素子。

【請求項4】前記Ti層の膜厚は200～1000nmである、ことを特徴とする請求項2に記載の半導体素子。

【請求項5】前記基体層はサファイアからなることを特徴とする、請求項2～4のいずれかに記載の半導体素子。

【請求項6】前記基体層はSi、GaP、GaAs、InP、ZnSe及びZnOから選択される少なくとも1つの材料からなることを特徴とする、請求項2～4の

いずれかに記載の半導体素子。

【請求項7】前記半導体層と前記基板との間にAl<sub>a</sub> In<sub>b</sub> Ga<sub>1-a-b</sub> N (a=0, b=0, a=b=0を含む)からなるバッファ層が介在される、ことを特徴とする請求項1～6のいずれかに記載の半導体素子。【請求項8】前記バッファ層はAl<sub>a</sub> Ga<sub>1-a</sub> N (a=0, 85～0, 95)である、ことを特徴とする請求項7に記載の半導体素子。【請求項9】前記バッファ層はAl<sub>a</sub> Ga<sub>1-a</sub> N (aはほぼ0, 9)である、ことを特徴とする請求項7に記載の半導体素子。

【請求項10】基体層を準備する工程、

該基体層の上にTi層を形成する工程、

該Ti層の上にGaN系の半導体層を形成する工程、  
を含んでなるGaN系の半導体素子の製造方法。

【請求項11】全体が実質的にTiの単結晶となるよう前記Ti層は前記基体層の上へ蒸着あるいはスパッタにより形成される、ことを特徴とする請求項10に記載の半導体素子の製造方法。

【請求項12】前記Ti層を形成する前に前記基体層の雰囲気から酸素を実質的に除去する工程が更に含まれる、ことを特徴とする請求項11に記載の半導体素子の製造方法。

【請求項13】前記Ti層の成膜速度が0, 5nm/s以上である、ことを特徴とする、請求項11若しくは12に記載の半導体素子の製造方法。

【請求項14】前記Ti層の成膜温度は室温～250

℃である、ことを特徴とする請求項11～13のいずれかに記載の半導体素子の製造方法。

【請求項15】 前記T<sub>i</sub>層の成膜温度はほぼ150℃である、ことを特徴とする請求項11～13のいずれかに記載の半導体素子の製造方法。

【請求項16】 前記基体層はサファイア製であり、該基体層の上に前記T<sub>i</sub>層が蒸着される、ことを特徴とする請求項10～15のいずれかに記載の半導体素子の製造方法。

【請求項17】 前記基体層はS<sub>i</sub>製であり、該基体層の上に前記T<sub>i</sub>層が蒸着される、ことを特徴とする請求項10～15のいずれかに記載の半導体素子の製造方法。

【請求項18】 前記T<sub>i</sub>層は前記基体層のS<sub>i</sub>(111)面上に成膜される、ことを特徴とする請求項17に記載の半導体素子の製造方法。

【請求項19】 前記T<sub>i</sub>層を成膜する前に、前記基体層のS<sub>i</sub>を酸洗浄する工程が更に含まれる、ことを特徴とする請求項17若しくは18に記載の半導体素子の製造方法。

【請求項20】 前記酸洗浄はフッ酸若しくはバッファードフッ酸を含む液で行われる、ことを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項21】 前記T<sub>i</sub>層と前記GaN系の半導体層との間にAl<sub>a</sub>In<sub>b</sub>Ga<sub>1-a-b</sub>N(a=0, b=0, a+b=0を含む)からなるバッファ層を形成する工程が更に含まれる、ことを特徴とする請求項10～20のいずれかに記載の半導体素子の製造方法。

【請求項22】 前記T<sub>i</sub>層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、250～350℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項10～20のいずれかに記載の半導体素子の製造方法。

【請求項23】 前記T<sub>i</sub>層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、280～330℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項10～20のいずれかに記載の半導体素子の製造方法。

【請求項24】 前記T<sub>i</sub>層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、ほぼ300℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項10～20のいずれかに記載の半導体素子の製造方法。

【請求項25】 前記T<sub>i</sub>層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、GaNの材料ガス/(GaNの材料ガス+Alの材料ガス)=0.53～0.87のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項10～24のいずれかに記載の半導体素子の製造方法。

【請求項26】 前記T<sub>i</sub>層と前記GaN系の半導体層

との間にAlGaNからなるバッファ層を、GaNの材料ガス/(GaNの材料ガス+Alの材料ガス)=0.63～0.80のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項10～24のいずれかに記載の半導体素子の製造方法。

【請求項27】 前記T<sub>i</sub>層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、GaNの材料ガス/(GaNの材料ガス+Alの材料ガス)=ほぼ0.737のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項10～24のいずれかに記載の半導体素子の製造方法。

【請求項28】 前記バッファ層を形成する前に、前記T<sub>i</sub>層を真空中でクリーニングする工程が更に含まれる、ことを特徴とする請求項21～27のいずれかに記載の半導体素子の製造方法。

【請求項29】 前記クリーニングは実質的な真空中で前記T<sub>i</sub>層を500～750℃に加熱することにより行われる、ことを特徴とする請求項28に記載の半導体素子の製造方法。

【請求項30】 前記クリーニングは実質的な真空中で前記T<sub>i</sub>層を550～700℃に加熱することにより行われる、ことを特徴とする請求項28に記載の半導体素子の製造方法。

【請求項31】 前記クリーニングは実質的な真空中で前記T<sub>i</sub>層を600～650℃に加熱することにより行われる、ことを特徴とする請求項28に記載の半導体素子の製造方法。

【請求項32】 少なくとも一つの前記GaN系の半導体層が形成されるまでの間、前記T<sub>i</sub>層は750℃以下に保たれる、ことを特徴とする請求項10～31のいずれかに記載の半導体素子の製造方法。

【請求項33】 少なくとも一つの前記GaN系の半導体層が形成されるまでの間、前記T<sub>i</sub>層は600℃以下に保たれる、ことを特徴とする請求項10～31のいずれかに記載の半導体素子の製造方法。

【請求項34】 前記半導体素子は発光素子あるいは受光素子である、ことを特徴とする請求項1～9のいずれかに記載の半導体素子。

【請求項35】 前記半導体素子は発光素子あるいは受光素子である、ことを特徴とする請求項10～33のいずれかに記載の半導体素子の製造方法。

【請求項36】 GaN系の半導体層と、該半導体層に対向する面がT<sub>i</sub>製とされた基板と、を備えてなる積層体。

【請求項37】 前記基板は基体層と単結晶のT<sub>i</sub>層あるいは単結晶に近いT<sub>i</sub>層とを備えてなる、ことを特徴とする請求項36に記載の積層体。

【請求項38】 前記T<sub>i</sub>層の膜厚は100～1500nmである、ことを特徴とする請求項37に記載の積層体。

【請求項39】 前記T i層の膜厚は200～1000nmである、ことを特徴とする請求項37に記載の積層体。

【請求項40】 前記基体層はサファイアからなることを特徴とする、請求項37～39のいずれかに記載の積層体。

【請求項41】 前記基体層はSi、GaP、GaAs、InP、ZnSe及びZnOから選択される少なくとも1つの材料からなることを特徴とする、請求項37～39のいずれかに記載の積層体。

【請求項42】 前記半導体層と前記基板との間にAl<sub>a</sub>In<sub>b</sub>Ga<sub>1-a-b</sub>N (a=0、b=0、a=b=0を含む)からなるバッファ層が介在される、ことを特徴とする請求項36～41のいずれかに記載の積層体。

【請求項43】 前記バッファ層はAl<sub>a</sub>Ga<sub>1-a</sub>N (a=0.85～0.95)である、ことを特徴とする請求項42に記載の積層体。

【請求項44】 前記バッファ層はAl<sub>a</sub>Ga<sub>1-a</sub>N (aはほぼ0.9)である、ことを特徴とする請求項42に記載の積層体。

【請求項45】 基体層を準備する工程、

該基体層の上にT i層を形成する工程、

該T i層の上にGaN系の半導体層を形成する工程、を含んでなる積層体の製造方法。

【請求項46】 全体が実質的にT iの単結晶となるよう前記T i層は前記基体層の上へ蒸着あるいはスパッタにより形成される、ことを特徴とする請求項45に記載の積層体の製造方法。

【請求項47】 前記T i層を形成する前に前記基体層の雰囲気から酸素を実質的に除去する工程が更に含まれる、ことを特徴とする請求項46に記載の積層体の製造方法。

【請求項48】 前記T i層の成膜速度が0.5nm/s以上である、ことを特徴とする、請求項46若しくは47に記載の積層体の製造方法。

【請求項49】 前記T i層の成膜温度は室温～250℃である、ことを特徴とする請求項46～48のいずれかに記載の積層体の製造方法。

【請求項50】 前記T i層の成膜温度はほぼ150℃である、ことを特徴とする請求項46～48のいずれかに記載の積層体の製造方法。

【請求項51】 前記基体層はサファイア製であり、該基体層の上に前記T i層が蒸着される、ことを特徴とする請求項45～50のいずれかに記載の積層体の製造方法。

【請求項52】 前記基体層はSi製であり、該基体層の上に前記T i層が蒸着される、ことを特徴とする請求項45～50のいずれかに記載の積層体の製造方法。

【請求項53】 前記T i層は前記基体層のSi (111)面上に成膜される、ことを特徴とする請求項52に

記載の積層体の製造方法。

【請求項54】 前記T i層を成膜する前に、前記基体層のSiを酸洗浄する工程が更に含まれる、ことを特徴とする請求項52若しくは53に記載の積層体の製造方法。

【請求項55】 前記酸洗浄はフッ酸若しくはバッファードフッ酸を含む液で行われる、ことを特徴とする請求項54に記載の積層体の製造方法。

【請求項56】 前記T i層と前記GaN系の半導体層との間にAl<sub>a</sub>In<sub>b</sub>Ga<sub>1-a-b</sub>N (a=0、b=0、a=b=0を含む)からなるバッファ層を形成する工程が更に含まれる、ことを特徴とする請求項45～55のいずれかに記載の積層体の製造方法。

【請求項57】 前記T i層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、250～350℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項45～55のいずれかに記載の積層体の製造方法。

【請求項58】 前記T i層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、280～330℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項45～55のいずれかに記載の積層体の製造方法。

【請求項59】 前記T i層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、ほぼ300℃の温度で、成長させる工程が更に含まれる、ことを特徴とする請求項45～55のいずれかに記載の積層体の製造方法。

【請求項60】 前記T i層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、Gaの材料ガス/(Gaの材料ガス+A1の材料ガス)=0.53～0.87のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項45～59のいずれかに記載の積層体の製造方法。

【請求項61】 前記T i層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、Gaの材料ガス/(Gaの材料ガス+A1の材料ガス)=0.63～0.80のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項45～59のいずれかに記載の積層体の製造方法。

【請求項62】 前記T i層と前記GaN系の半導体層との間にAlGaNからなるバッファ層を、Gaの材料ガス/(Gaの材料ガス+A1の材料ガス)=ほぼ0.737のモル比で、成長させる工程が更に含まれる、ことを特徴とする請求項45～59のいずれかに記載の積層体の製造方法。

【請求項63】 前記バッファ層を形成する前に、前記T i層を真空中でクリーニングする工程が更に含まれる、ことを特徴とする請求項56～62のいずれかに記載の積層体の製造方法。

【請求項64】 前記クリーニングは実質的な真空中で前記Ti層を500～750°Cに加熱することにより行われる、ことを特徴とする請求項63に記載の積層体の製造方法。

【請求項65】 前記クリーニングは実質的な真空中で前記Ti層を550～700°Cに加熱することにより行われる、ことを特徴とする請求項63に記載の積層体の製造方法。

【請求項66】 前記クリーニングは実質的な真空中で前記Ti層を600～650°Cに加熱することにより行われる、ことを特徴とする請求項63に記載の積層体の製造方法。

【請求項67】 少なくとも一つの前記GaN系の半導体層が形成されるまでの間、前記Ti層は750°C以下に保たれる、ことを特徴とする請求項45～66のいずれかに記載の積層体の製造方法。

【請求項68】 少なくとも一つの前記GaN系の半導体層が形成されるまでの間、前記Ti層は600°C以下に保たれる、ことを特徴とする請求項45～66のいずれかに記載の積層体の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明はGaN系の半導体素子に関する。

##### 【0002】

【従来の技術】GaN系の半導体は例えば青色発光素子として利用できることが知られている。かかる発光素子では、基板として一般的にサファイアが用いられる。

##### 【0003】

【発明が解決しようとする課題】このサファイア製の基板において解決すべき課題の一つとして次のものがある。即ちサファイア製の基板は透明であるため、本来素子の上面から取り出したい発光素子の光が素子下面のサファイア製の基板を透過してしまう。そのため、発光素子で発光させた光が有効に利用できない。

【0004】サファイア製の基板はまた高価である。更には、サファイア製の基板は絶縁体であるため同一面側に電極を形成する必要があり、半導体層の一部をエッチングしなければならず、それに応じてポンディングの工程も2倍となる。また、同一面側にn、p両電極を形成するため、素子サイズの小型化にも制限があった、加えて、チャージアップの問題もあった。

【0005】また、サファイア製の基板の代わりにSi(シリコン)製の基板の使用が考えられるが、本発明者の検討によれば、Si製の基板の上にGaN系の半導体層を成長させることは非常に困難であった。その原因の一つとして、SiとGaN系の半導体の熱膨張率の差がある。Siの線膨張係数が $4.7 \times 10^{-6} / K$ であるのに対しGaNの線膨張係数は $5.59 \times 10^{-6} / K$ であり、前者が後者より小さい。従って、GaN系の半導体層を成長させる際に加熱をすると、Si製の基板が伸長されGaN系の半導体層側が圧縮するようにならざるが、このとき、GaN系の半導体層内の格子に引っ張り応力が生じ、その結果クラックの発生するおそれがある。また、クラックが生じないまでも格子に歪みが生じる。従って、GaN系の半導体素子がその本来の機能を発揮できなくなる。

【0006】この発明はこのような課題に鑑みて、新規な構成のGaN系の半導体素子を提供することを目的とする。この発明の他の目的はGaN系の半導体素子の中間体となる新規な構成の積層体を提供することにある。

##### 【0007】

【課題を解決するための手段】そこで、本発明者らはGaN系の半導体層を成長させるのに適した新規な基板を見いだすべく鋭意検討した。その結果、特願平9-293465号(出願人整理番号970152/代理人整理番号P0060)において、以下の事項に想到し、これを開示した。即ち、基板の上にGaN系の半導体をヘテロエピタキシャル成長させるには、基板は下記の要件①～⑤のうちの少なくとも2つを満足する必要があると考えるに至った。

- ① GaN系の半導体と基板との密着性が良好なこと
- ② GaN系の半導体の熱膨張係数と基板の熱膨張係数とが近いこと
- ③ 基板の弾性率が低いこと
- ④ 基板の結晶構造がGaN系の半導体と同じであること
- ⑤ 基板の格子定数 - GaN系の半導体の格子定数 / GaN系の半導体の格子定数  $\leq 0.05$  である

(即ち、基板の格子定数とGaN系の半導体層の格子定数との差が $\pm 5\%$ 以下である)こと、勿論、好ましくは上記の要件のうちの少なくとも3つ、更に好ましくは上記要件のうち少なくとも4つ、そして、最も好ましくは、5つの要件の全てを満足する。

【0008】このような条件を満足する材料として、既述の先の出願特願平9-293465号ではいくつかの金属材料に注目している。その中の一つとしてTiが開示されている。また、当該先の出願によれば基板は少なくともその表面、即ちGaN系の半導体層に接する面において上記の要件を満足しておればよい。従って、基板の基体部分を任意の材料で形成して基板の表面部分を上記の要件を満足する材料で形成することもできる。サファイア製の基板の場合と同様に、半導体層と基板との間にAlNやGaNのような $Al_aIn_bGa_{1-a-b}N$ ( $a=0$ 、 $b=0$ 、 $a=b=0$ を含む)からなるバッファ層を介在させることができる。

【0009】一方、特願平9-293463号(出願人整理番号970136/代理人整理番号P0057)によれば、Si製の基板とGaN系の半導体層との間に応力緩衝用のバッファ層が介在される構成の半導体素

子が開示されている。この応力緩衝用バッファ層を構成する材料として当該先の出願特願平9-293465号ではいくつかの金属材料に注目しているが、その中の一つとしてTiが開示されている。即ち、Si製の基板上にTi層が形成され、その上にGaN系の半導体層が形成される構成の半導体素子が開示されている。

【0010】この発明は、上記2つの先の出願で開示した事項に基づいてなされた。そしてそれを更に改良及び発展させたものである。即ち、この発明の第1の局面はつぎのとおりである。GaN系の半導体層と、該半導体層に対向する面がTi製とされた基板と、を備えてなるGaN系の半導体素子。

【0011】このように構成された半導体素子によれば、GaN系の半導体層が発光素子構造を探る場合、この基板自体が反射層の役目をする。従って、素子で発光された光を有効に利用できる。よって、透明なサファイア製の基板を用いた発光素子若しくは受光素子で必要とされていた別個の反射層の形成が不要となる。また、GaN系のように光を吸収する材料で基板を形成した場合における当該基板の除去作業が不要になる。

【0012】(GaN系の半導体層について)GaN系の半導体とはIII族窒化物半導体であって、一般的には $Al_xGaN_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ ) で表される。また、任意のドーパントを含むものであっても良い。発光素子及び受光素子では、周知のように、発光層が異なる導電型の半導体層(クラッド層)で挟まれる構成であり、発光層には超格子構造やダブルヘテロ構造等が採用される。FET構造に代表される電子デバイスをGaN系の半導体で形成することもできる。GaN系の半導体層は周知の有機金属化合物気相成長法(以下、「MOCVD法」という。)により形成される。また、周知の分子線結晶成長法(MBE法)によても形成することができる。

【0013】(基板について)基板はその表面、即ちGaN系の半導体層に対向する面がTiで形成されておればよい。従って、基板の表面層のみをTi製として下側の層(基体層)を他の任意の材料で形成することができる。また、基板の基体層を低純度若しくは不純物を含んだTi材料若しくはTi合金で形成しておき、表面層を高純度のTiで形成することもできる。なお、GaN系の半導体層に対向する面は単結晶Ti製とすることが好みしい。また、結晶構造が実質的に維持されている条件の下で、TiをTi合金に代えることもできる。

【0014】基板は全体として導電性を有することが好みしい。基板を導電性とすれば、基板に電極を接続し、基板側よりGaN系の半導体層に通電することができる。従って、GaN系の半導体層で発光素子又は受光素子を構成するとき必要とされた当該半導体層に対する複雑なエッチングが不要になる。図21の例で言えば、nクラッド層が基板を介して外部に電気的に接続可能と

なる。一方、従来のサファイア製の基板の場合は、これが絶縁性であったため発光層及びnクラッド層をエッチングしてnクラッド層を露出し、これを外部と電気的に接続させる必要があったが、本願では基板から半導体層へ通電可能となったので、外部電源に対するボンディングも容易になる。更には、アースをとればチャージアップの問題も容易に解決される。

【0015】このように基板に導電性を与えるために、基板の基体層をCr、Hf、Nb、Re、Ta、Ti、V、Zr及びYなどの導電性の金属、Si、GaaS、InP、GaP、ZnO並びにZnSe等で形成する。かかる基体層に対し、プラズマCVD、熱CVD、光CVD等のCVD(Chemical Vapour Deposition)、スパッタ、蒸着等の(Physical Vapour Deposition)等の方法でTi層が形成される。

【0016】

【発明の実施の形態】この発明の一の実施の形態によれば、基板の基体層としてサファイアを採用し、当該サファイア基体層の表面に単結晶Ti層が蒸着される。図1はTi単結晶の結晶性の膜厚依存性を示す。図1の結果を得たときのTi層の形成条件は次の通りである。

蒸着速度: 0.5 nm/s

蒸着温度: 150°C

膜厚: 測定対象

なお、図1の縦軸の強度はTi層に対してφ(PHI)スキャンを実行したとき得られた6本のピークの平均強度(相対値)である。縦軸の強度が大きいほど結晶性が良い。GaN系の半導体層の結晶性を向上するためにはその土台となるTi層にも高い結晶性が要求されることは言うまでもない。なお、Ti単結晶に対するφ(PHI)スキャンでは、サンプルを360度回転させたときに六方晶の(101-2)面に対応する6つのピークが得られる。このようにφ(PHI)スキャンで6本のピークが観測されたTi層は単結晶であるか又は単結晶に近いと考えられる。φ(PHI)スキャンについてはJournal of Electronic Materials, Vol. 25, No. 11, pp. 1740-1747, 1996を参照されたい。

【0017】また、図1の結果を得るに当たってTi層を形成する前に下記の前処理を行う。他の図に示す結果を得たときも同様である。チャンバ内へサファイア基体層をセットし、工業的に汎用される真空ポンプで $3 \times 10^{-5}$  Torrまで真空引きしその後窒素ガスでチャンバ内を充満する。この作業を3回繰り返す。これは、チャンバ内の酸素を減らしTiが酸化されるのを未然に防止するためである。従って、チャンバ内の酸素を充分に排出できれば他の方法を探ることも可能である。なお、本発明者らの検討によれば、現在工業的に汎用される蒸着装置に付設の真空装置の能力では真空度に限度(通常:  $\sim 10^{-7}$  Torr)があるので、かかる窒素バー

ジを繰り返すことが不可欠であった。勿論、窒素ガスの代わりに他の不活性ガスを用いることができる。次に、窒素ガスを拡散ポンプで $8 \times 10^{-7}$  Torrまで真空引きする。

【0018】かかる前処理の終了後、基体層をランプヒータで所定の温度に加熱するとともに、Tiのバルクに電子ビームを照射してこれを融解し、サファイア基体層上に単結晶Ti層を蒸着させた。

【0019】 $\phi$ (PHI)スキャンはフィリップス社製の4軸型単結晶回折計(製品名: X-pert)により行った(以下の $\phi$ (PHI)スキャンについても同じ。)。図2に $\phi$ (PHI)スキャンの結果(Ti層: 300 nmのとき)の一例を示す。図2に現れたTiの(101-2)面に対応する6つのピークの強度(相対値)の平均が図1の縦軸の値となる。

【0020】図1の結果より、Ti以外の材料製の基体層の表面に形成されるTi層の膜厚は1000~15000オングストローム(100~1500 nm)とすることが好ましい。Ti層の膜厚が100 nm未満であると充分な結晶性を得られず、また1500 nmを越えてTi層を厚くする必要はない。成膜のために時間を要するだけであるからである。成膜の時間に制約のない場合は上限を設ける必要はない。また、この程度の膜厚のTi層を設けることにより、GaN系の半導体層で発光した光のうち基板側へ放出されたものは当該Ti層で反射され、基板を透過することができない。従って、GaN系の半導体層で生じた光の実質的に全部が素子の表面から取り出されることとなり、当該光の有効利用が達成される。更に好ましくは、Ti層の膜厚を2000~10000オングストローム(200~1000 nm)とする。

【0021】図3はサファイア基体層上におけるTi蒸着膜結晶性の蒸着速度依存性を示す。図の縦軸は $\phi$ (PHI)スキャンにより得たピークの平均強度(相対値)である。なお、図3の結果を得たときのTi層の形成条件は次の通りであった。

蒸着速度: 測定対象

蒸着温度: 150°C

膜厚: 300 nm

【0022】図3の結果より、Ti層の蒸着速度は0.5 nm/s以上とすることが好ましいことがわかる。なお、Tiの蒸着速度を2 nm/s以上とすることは現実的でない。表面モフォロジーの劣化が見られるからである。

【0023】図4はサファイア基体層上におけるTi蒸着膜結晶性の蒸着温度(蒸着時の基体層温度)依存性を示す。図の縦軸は $\phi$ (PHI)スキャンにより得たピークの平均強度(相対値)である。なお、図4の結果を得たときのTi層の形成条件は次の通りであった。

蒸着速度: 0.5 nm/s

蒸着温度: 測定対象

膜厚: 300 nm

【0024】図4の結果より、サファイア基体層を特に加熱しない、いわゆる室温状態から350°Cの間で充分な結晶性が得られることが予想される。更に好ましくは25~250°Cであり、更に更に好ましくは150~250°Cである。なお、本発明者らの検討によれば、蒸着温度は130~170°Cとすることが好ましいことがわかった。更に好ましくはほぼ150°Cである。170°Cより高い温度にするとTiのc軸配向性が低下おそれがあるからである。

【0025】図5はサファイア基体層上におけるTi蒸着膜結晶性の熱処理温度依存性を示す。図5の結果を得たときのTi層の形成条件は次の通りであった。

蒸着速度: 0.5 nm/s

蒸着温度: 150°C

膜厚: 300 nm

このようにして得られたTi/サファイアを熱処理炉において横軸に示すそれぞれの温度まで加熱(5分間)したときのものである。縦軸は図1と同様に $\phi$ (PHI)スキャンにより得たピークの平均強度(相対値)である。

【0026】図5の結果より、Ti層に750°Cを越える温度を加えるとその結晶性が低下することがわかる。換言すれば、Ti層の上に少なくとも一つのGaN系の半導体層を成長させるまではTi層を750°C以下に保持しておくことが好ましい。当該第1のGaN系の半導体層の形成後はこの上に第2のGaN系の半導体層を形成することができるので、第1のGaN系の半導体層の結晶性が保持される温度が臨界温度となる。この臨界温度においてTi層の結晶性が低下しても、第1のGaN系の半導体層の結晶性が維持されている限り、第2のGaN系の半導体層の結晶性に影響が出ないからである。図5の結果より、Ti層の上に少なくとも一つのGaN系の半導体層を成長させるまではTi層を600°C以下に保持しておくことが更に好ましい。

【0027】図6はサファイア基体層上に形成されたTi層の上に更にAIN製のバッファ層を形成し、その上に成長されたGaN層の結晶性を評価するための2θ-ω(2θ: 20~100度)スキャンの結果を示す。この2θ-ωスキャンもフィリップス社製の4軸型単結晶回折計(製品名: X-pert)により行った(以下の2θ-ωスキャンの測定結果も同じ。)。図6の結果を得たときのTi層の形成条件は次の通りであった。

蒸着速度: 0.5 nm/s

蒸着温度: 150°C

膜厚: 300 nm

なお、以下の測定結果についても同じ条件でTi層を形成した。

【0028】また、AIN製のバッファ層を形成する前

に真空中 ( $3 \times 10^{-5}$  Torr) で Ti / サファイアを  $600^{\circ}\text{C}$  で 5 分間加熱した (真空クリーニング)。AlN 製のバッファ層は下記の条件で MOCVD 法により形成した。

反応容器内圧力 : 常圧  
温度 :  $400^{\circ}\text{C}$   
材料ガス 1 : アンモニア  
材料ガス 2 : TMA  
キャリアガス : H<sub>2</sub>

【0029】GaN 層は下記の条件で MOCVD 法により形成した。

反応容器内圧力 : 常圧  
温度 :  $1000^{\circ}\text{C}$   
材料ガス 1 : アンモニア  
材料ガス 2 : TMG  
キャリアガス : H<sub>2</sub>

なお、以下の例において GaN 層の形成条件は上記と同一である。

【0030】図 7 は図 6 と同じ試料について  $\phi$  (PH 1) スキャンを行ったときの結果である。図 6 及び図 7 の結果から、Ti / サファイア上に、AlN バッファ層を介して、成長された GaN は好ましい結晶性を有することがわかる。従って、かかる AlN / Ti / サファイア上に GaN 系の半導体層を成長させれば、この半導体層によって充分機能し得る発光素子等の半導体素子を形成することができる。

【0031】図 8 はサファイア基体層上に形成された Ti 層の上に更に AlGaN 製のバッファ層を形成し、その上に成長された GaN 層の結晶性を評価するための  $2\theta - \omega$  ( $2\theta$  :  $20$ ~ $100$  度) スキャンの結果を示す。なお、AlGaN 製のバッファ層を形成する前に真空中 ( $3 \times 10^{-5}$  Torr) で Ti / サファイアを  $600^{\circ}\text{C}$  で 5 分間加熱した (真空クリーニング)。AlGaN 製のバッファ層は下記の条件で MOCVD 法により形成した。

チャンバ内圧力 : 常圧  
温度 :  $300^{\circ}\text{C}$   
材料ガス 1 : アンモニア  
材料ガス 2 : TMA  
材料ガス 3 : TMG  
キャリアガス : H<sub>2</sub>

【0032】GaN 層は図 6 及び図 7 の場合と同一の条件で MOCVD 法により形成した。図 9 は図 8 と同じ試料について  $\phi$  (PH 1) スキャンを行ったときの結果である。図 9 及び図 8 の結果から、Ti / サファイア上に、AlGaN バッファ層を介して、成長された GaN は好ましい結晶性を有することがわかる。図 6 及び図 7 との比較から、バッファ層を AlGaN 製とするとその上に形成される GaN 層の結晶性がより良くなることがわかる。

【0033】図 10 は Ti / サファイア上に、AlGaN バッファ層を介して、成長された GaN の結晶性を評価するロッキングカーブである。当該ロッキングカーブの結果から、当業者であれば、この GaN が発光素子を構成する半導体層として充分な特性を持つことがわかる。

【0034】図 11 は AlGaN 製のバッファ層の成長温度と GaN 結晶性との関係を示す。図の縦軸は図 9 と同様にして得られた  $\phi$  (PH 1) スキャンの 6 本のピーク強度の平均値 (相対値) である。なお、Ti 層の形成条件は既述のとおりである。この Ti 層に対するクリーニングはチャンバ内を真空 ( $3 \times 10^{-5}$  Torr) にして  $600^{\circ}\text{C}$ 、5 分間行った。AlGaN 製のバッファ層の MOCVD の条件は次の通りであった。

チャンバ内圧力 : 常圧  
温度 : 測定対象  
材料ガス 1 : アンモニア  
材料ガス 2 : TMA  
材料ガス 3 : TMG  
キャリアガス : H<sub>2</sub>  
キャリアガス流量比 ( TMG / (TMG+TMA) ) : 0.625

【0035】図 11 の結果から、AlGaN 製のバッファ層の成長温度は  $250$ ~ $350^{\circ}\text{C}$  とすることが好ましい。更に好ましくは  $280$ ~ $330^{\circ}\text{C}$  である。更に更に好ましくは  $300^{\circ}\text{C}$  である。

【0036】図 12 は AlGaN 製のバッファ層を形成する際の TMG と TMA のキャリアガス流量比と GaN 結晶性との関係を示す。図の縦軸は図 9 と同様にして得られた  $\phi$  (PH 1) スキャンの 6 本のピーク強度の平均値 (相対値) である。なお、Ti 層の形成条件は既述のとおりである。この Ti 層に対するクリーニングはチャンバ内を真空 ( $3 \times 10^{-5}$  Torr) にして  $600^{\circ}\text{C}$ 、5 分間行った。AlGaN 製のバッファ層の MOCVD の条件は次の通りであった。

チャンバ内圧力 : 常圧  
温度 :  $300^{\circ}\text{C}$   
材料ガス 1 : アンモニア  
材料ガス 2 : TMA  
材料ガス 3 : TMG  
キャリアガス : H<sub>2</sub>  
キャリアガス流量比 ( TMG / (TMG+TMA) ) : 測定対象

GaN 層の形成条件は既述のとおりである。

【0037】図 12 の結果からキャリアガスの流量比は  $\text{TMG} / (\text{TMG} + \text{TMA}) = 0.4 \sim 0.8$  することが好ましいことがわかる。従って、反応容器内に供給される材料ガスのモル比でいうと、 $\text{TMG} / (\text{TMG} + \text{TMA}) = 0.53 \sim 0.87$  することが好ましい。更に好ましくは、同流量比  $0.5 \sim 0.7$  (同モル比 = 0.63~0.80) である。更に更に好ましくは同流

量比0.60~0.65である。今のところ、同流量比=0.625(同モル比=0.737)が最も好ましいと考えられる。

【0038】本発明者らの検討によれば、図12の結果を得たときの条件においてキャリアガス流量比をTMG/(TMG+TMA)=0.625とすると、バッファ層の組成はAl<sub>0.9</sub>Ga<sub>0.1</sub>Nであった。Al<sub>a</sub>G<sub>1-a</sub>N製のバッファ層においてAlの組成比aは0.85~0.95とすることが好ましい。

【0039】図13はTi/サファイアのクリーニング温度とGaNの結晶性との関係を示す。図の縦軸は図9と同様にして得られたφ(PHI)スキャンの6本のピーク強度の平均値(相対値)である。なお、Ti層の形成条件は既述のとおりである。AlGaNバッファ層及びGaN層の形成条件は図8の場合と同一である。尚、図中黒塗り三角で示すクリーニングの結果はサファイア基体層上にTiを蒸着させた基板をMOCVDチャンバ内で真空(真空度:3×10<sup>-5</sup>Torr)にして、ランプヒータで基板を所望の温度まで加熱し、その温度で5分間維持し、その後放冷したときのものである。一方、図中の白抜き三角(△)で示すクリーニングの結果はサファイア基体層上にTiを蒸着させた基板をMOCVDチャンバへ水素を供給し(チャンバ内:1気圧)、ランプヒータで基板を所望の温度まで加熱し、その温度で5分間維持し、その後放冷したときのものである。

【0040】図13の結果から、サファイア基体層上にTi層を蒸着した後、バッファ層を形成する前に、Ti層を真空中で加熱してクリーニングすると結晶性の高いGaN層の得られることがわかる。クリーニングの温度は500~750°Cとすることが好ましい。更に好ましくは550~700°Cである。更に更に好ましくは600~650°Cである。クリーニングを行うときの真空度は特に限定されないが、Ti層から不純物を除去する見地から、できる限り高い真空度を達成することが好ましい。

【0041】以上の結果はサファイア基体層とTi層との組み合わせに関するものであるが、Si及びその他の材料製の基体層上にTi層を形成した場合についても同様のことがいえると考えられる。

【0042】図14は基体層のSi(111)面上に蒸

層 : 組成:ドーパント (膜厚)

pクラッド層 6 : p-GaN:Mg (0.3μm)

発光層 5 : 超格子構造

量子井戸層 : In<sub>0.15</sub>Ga<sub>0.85</sub>N (3.5nm)

バリア層 : GaN (3.5nm)

量子井戸層とバリア層の繰り返し数: 1~10

nクラッド層 4 : n-GaN:Si (4μm)

バッファ層 3 : Al<sub>0.9</sub>Ga<sub>0.1</sub>N (15nm)

Ti層 2 : Ti単結晶 (300nm)

着したTi結晶性のウエハ洗浄依存性を示す。但し、Ti層の蒸着条件は次のとおりである(サファイア基体層のときと同じ)。

蒸着速度: 0.5nm/s

蒸着温度: 150°C

膜厚: 300nm

Si基体層に対して、サファイア基体層の場合と同様にして塗素バージによりチャンバ内から実質的に酸素を除去し、その(111)面にTi層を蒸着したときの結果を図14の実線で示す。なお、図14はTi層の(101-2)面に対するφ(PHI)スキャンの結果を示している。一方、図14の破線は塗素バージの前に予めバッファードフッ酸でSi基体層を10秒間洗浄したときのものである。図15は図14の試料のTi層の(112-2)面に対するφ(PHI)スキャンの結果を示している。

【0043】図14及び図15の結果より、予めバッファードフッ酸で洗浄したSi基体層の上に蒸着されたTi層は良い結晶性を持つが、当該酸洗浄の省略されたSi基体層上に蒸着されたTi層の結晶性は非常に悪いことがわかる。

【0044】図16は図14のものと同様にSi基体層の(100)面上に蒸着したTi層の(101-2)面に対するφ(PHI)スキャンの結果を示す。図17は同じくSi基体層の(100)面上に蒸着したTi層の(112-2)面に対するφ(PHI)スキャンの結果を示す。

【0045】図16及び図17の結果から、Si基体層の(100)面上に蒸着したTi層は、酸洗浄の有無に拘わらず、その結晶性が非常に悪いことがわかる。以上、図14~17の結果より、Si基体層の上に単結晶のTi層を形成するにはSi基体層の(111)面上にTiを蒸着させること及びSi基体層を予めバッファードフッ酸やフッ酸等で酸洗浄することが必要である。

【0046】

【実施例】次に、この発明の第1の実施例の説明をする。この実施例は発光ダイオード10であり、その構成を図18に示す。

【0047】各半導体層のスペックは次の通りである。

基体層 1 : サファイア (300  $\mu$  m)

【0048】nクラッド層4は発光層5側の低電子濃度n-層とバッファ層3側の高電子濃度n+層とからなる2層構造とすることができます。発光層5は超格子構造のものに限定されず、シングルヘテロ型、ダブルヘテロ型及びホモ接合型のものなどを用いることができる。発光層5とpクラッド層6との間にマグネシウム等のアクセプタをドープしたバンドギャップの広いAl<sub>x</sub>In<sub>y</sub>Ga<sub>1-x-y</sub>N (X=0, Y=0, X+Y=0を含む)層を介在させることができる。これは発光層5中に注入された電子がpクラッド層6に拡散するのを防止するためである。pクラッド層6を発光層5側の低ホール濃度p-層と電極7側の高ホール濃度p+層とからなる2層構造とすることができます。

【0049】上記において、バッファ層3までの形成方法は図10の結果を得たときと同様である。

【0050】各GaN系の半導体層は周知のMOCVD法により形成される。この成長法においては、アンモニアガスとIII族元素のアルキル化合物ガス、例えばトリメチルガリウム(TMГ)、トリメチルアルミニウム(TMA)やトリメチルインジウム(TMI)とを適当な温度に加熱された基板上に供給して熱分解反応させ、もって所望の結晶を基板の上に成長させる。

【0051】透光性電極7は金を含む薄膜であり、pク

ラッド層6の上面の実質的な全面を覆って積層される。p電極8も金を含む材料で構成されており、蒸着により透光性電極7の上に形成される。n電極9がnクラッド層4に蒸着される。

【0052】(第2実施例)図19にこの発明の第2の実施例の半導体素子を示す。この実施例の半導体素子は発光ダイオード20であり、図18に示した第1の実施例の発光ダイオード10と同一の部分には同一の符号を付してその説明を省略する。即ち、この実施例の発光ダイオード20はバッファ層23をAlN製としたものである。

【0053】(第3実施例)図20にこの発明の第3の実施例の半導体素子を示す。この実施例の半導体素子は発光ダイオード30であり、図18に示した第1の実施例の発光ダイオード10と同一の部分には同一の符号を付してその説明を省略する。即ち、この実施例の発光ダイオード30はバッファ層が省略されているものである。この場合、nクラッド層はMBE法により形成する。

【0054】(第4実施例)図21にこの発明の第4の実施例の半導体素子を示す。この実施例の半導体素子は発光ダイオード40である。各半導体層のスペックは次の通りである。

層 : 組成: ドーパント (膜厚)

pクラッド層 46 : p-GaN: Mg (0.3  $\mu$  m)

発光層 45 : 超格子構造

量子井戸層 : In<sub>0.15</sub>Ga<sub>0.85</sub>N (3.5nm)

バリア層 : GaN (3.5nm)

量子井戸層とバリア層の繰り返し数: 1 ~ 10

nクラッド層 44 : n-GaN: Si (4  $\mu$  m)

バッファ層 43 : Al<sub>0.9</sub>Ga<sub>0.1</sub>N (15nm)

Ti層 42 : Ti単結晶 (300nm)

基体層 41 : Si (111)面 (300  $\mu$  m)

【0055】AlGaN製のバッファ層43は、第2実施例と同様に、AlN製のものに置換することができる。また、第3実施例と同様にバッファ層43を省略することもできる。GaN系の半導体層44~46は、第1の実施例で説明したように、他の構成の層にそれぞれ置換することができる。また、それぞれの形成方法も第1の実施例と同様である。但し、バッファ層を省略したときは、Ti層に隣接するGaN系の半導体層をMBE法で形成する。

【0056】上記において、Ti層42の形成方法は図14の破線の結果を得たときと同様である。AlGaN製のバッファ層43は第1の実施例と同様にして形成された。

【0057】透光性電極47は金を含む薄膜であり、pクラッド層46の上面の実質的な全面を覆って積層される。p電極48も金を含む材料で構成されており、蒸着により透光性電極7の上に形成される。基体層41はそのままのn電極として利用できる。

【0058】図22に第4実施例の変形態様を示す。なお、図21と同一の層には同一の符号を付してその説明を省略する。図22に示すように、バッファ層43の上にpクラッド層46、発光層45及びnクラッド層44を順に成長させて発光素子50を構成することもできる。この素子50の場合、抵抗値の低いnクラッド層44が最上面となるのでこの透光性電極(図21の符号47参照)を省略することが可能となる。図の符号58

はn電極である。基体層41はそのままp電極として利用できる。

【0059】このように構成された第4実施例の半導体素子では、先の出願である特願平9-293463号に記載の通りTi層が応力緩衝用のバッファ層となるので、Si基体層とGaN系の半導体層との熱膨張率の差に起因するクラックはGaN系の半導体層に殆ど入らなくなる。

【0060】なお、本発明が適用される素子は上記の発光ダイオードに限定されるものではなく、受光ダイオード、レーザダイオード等の光素子の他、FET構造の電子デバイスにも適用できる。また、これらの素子の中間体としての積層体にも本発明は適用されるものである。

【0061】この発明は上記発明の実施の形態及び実施例の記載に何ら限定されるものではなく、特許請求の範囲を逸脱しない範囲で当業者が想到し得る種々の変形態様を包含する。

【0062】以下、次の事項を開示する。

(80) サファイア基体層を準備し、実質的に酸素が除去された環境のもとで該サファイア基体層へTiを蒸着あるいはスパッタすることを特徴とするサファイア基体層の上に実質的に単結晶のTi層を形成する方法。

(81) 前記Ti層の成膜速度が0.5nm/s以上であることを特徴とする、(80)に記載の方法。

(82) 前記Ti層の成膜温度は室温～250°Cであることを特徴とする、(80)に記載の方法。

【0063】(83) 前記Ti層の成膜温度はほぼ150°Cであることを特徴とする(80)に記載の方法。

(84) 前記Ti層の膜厚を100～1500nmとする、ことを特徴とする(80)～(83)のいずれかに記載の方法。

(85) 前記Ti層の膜厚を200～1000nmとする、ことを特徴とする(80)～(83)のいずれかに記載の方法。

【0064】(86) 前記酸素が除去された環境は、蒸着装置のチャンバ内を真空引きした後、該チャンバ内へ不活性ガスを充满させる工程を1回もしくは複数回行い、その後、前記チャンバ内を真空引きすることにより行う、ことを特徴とする(80)～(85)のいずれかに記載の方法。

【0065】(90) Si基体層を準備し、該Si基体層を酸洗浄し、実質的に酸素が除去された環境の下で該基体層のSi(111)面にTiを成膜することを特徴とするSi基体層上に実質的に単結晶のTi層を形成する方法。

(91) 前記酸洗浄はフッ酸若しくはバッファードフッ酸を含む液により行われる、ことを特徴とする(90)に記載の方法。

(92) 前記Ti層の成膜速度が0.5nm/s以上

である、ことを特徴とする、(90)若しくは(91)に記載の方法。

【0066】(93) 前記Ti層の成膜温度は室温～250°Cである、ことを特徴とする(90)若しくは(91)に記載の方法。

(94) 前記Ti層の成膜温度はほぼ150°Cである、ことを特徴とする(90)若しくは(91)に記載の方法。

(95) 前記Ti層の膜厚を100～1500nmとする、ことを特徴とする(90)～(94)のいずれかに記載の方法。

【0067】(96) 前記Ti層の膜厚を200～1000nmとする、ことを特徴とする(90)～(94)のいずれかに記載の方法。

(97) 前記酸素が除去された環境は、蒸着装置のチャンバ内を真空引きした後、該チャンバ内へ不活性ガスを充满させる工程を1回もしくは複数回行い、その後、前記チャンバ内を真空引きすることにより行う、ことを特徴とする(90)～(96)のいずれかに記載の方法。

【0068】(100) Ti単結晶面上にGaN系の半導体層を形成する前に、前記Ti単結晶面を減圧下で加熱することを特徴とするGaN系の半導体層の成長方法。

(101) 前記加熱温度は500～750°Cである、ことを特徴とする(100)に記載の方法。

(102) 前記加熱温度は550～700°Cである、ことを特徴とする(100)に記載の方法。

(103) 前記加熱温度は600～650°Cである、ことを特徴とする(100)に記載の方法。

【図面の簡単な説明】

【図1】図1はサファイア基体層上に蒸着されたTi層の結晶性の膜厚依存性を示すグラフ図である。

【図2】図2はサファイア基体層上に蒸着されたTi層のφ(PHI)スキャンの結果を示すチャート図である。

【図3】図3はサファイア基体層上に蒸着されたTi層の結晶性の蒸着速度依存性を示すグラフ図である。

【図4】図4はサファイア基体層上に蒸着されたTi層の結晶性の蒸着温度依存性を示すグラフ図である。

【図5】図5はサファイア基体層上に蒸着されたTi層を熱処理したときのTi層の結晶性と当該熱処理温度との関係を示すグラフ図である。

【図6】サファイア基体層上に形成されたTi層の上に更にAIN製のバッファ層を形成し、その上に成長されたGaN層の結晶性を評価するための2θ-ωスキャンの結果を示すチャート図である。

【図7】図7は図6と同じ試料についてφ(PHI)スキャンを行ったときの結果を示すチャート図である。

【図8】図8はサファイア基体層上に形成されたTi層

の上に更にAlGaN製のバッファ層を形成し、その上に成長されたGaN層の結晶性を評価するための2θ-ωスキャンの結果を示すチャート図である。

【図9】図9は図8と同じ試料についてφ(PHI)スキャンを行ったときの結果を示すチャート図である。

【図10】図10はTi/サファイア上に、AlGaNバッファ層を介して、成長されたGaNの結晶性を評価するロッキングカーブを示すチャート図である。

【図11】図11はAlGaN製のバッファ層の成長温度とGaN結晶性との関係を示すグラフ図である。

【図12】図12はAlGaN製のバッファ層を形成する際のTMGとTMAのキャリアガス流量比とGaN結晶性との関係を示すグラフ図である。

【図13】図13はTi/サファイアのクリーニング温度とGaNの結晶性との関係を示すグラフ図である。

【図14】図14は基体層のSi(111)面上に蒸着したTi層の(101-2)面に対するφ(PHI)スキャンの結果を示すチャート図である。

【図15】図15は図14の試料のTi層の(112-2)面に対するφ(PHI)スキャンの結果を示すチャート図である。

【図16】図16は基体層のSi(100)面上に蒸着したTi層の(101-2)面に対するφ(PHI)スキャンの結果を示すチャート図である。

【図17】図17は図16の試料のTi層の(112-

2)面に対するφ(PHI)スキャンの結果を示すチャート図である。

【図18】図18はこの発明の第1実施例の半導体素子の構成を示す断面図である。

【図19】図19はこの発明の第2の実施例の半導体素子の構成を示す断面図である。

【図20】図20はこの発明の第3実施例の半導体素子の構成を示す断面図である。

【図21】図21はこの発明の第4の実施例の半導体素子の構成を示す断面図である。

【図22】図22はこの発明の第4の実施例の変形態様を示す断面図である。

【符号の説明】

10、20、30、40、50 発光素子

1、41 基体層

2、42 Ti層

3、43 バッファ層

4、5、6、44、45、46 GaN系の半導体層

【手続補正2】

【補正対象書類名】図面

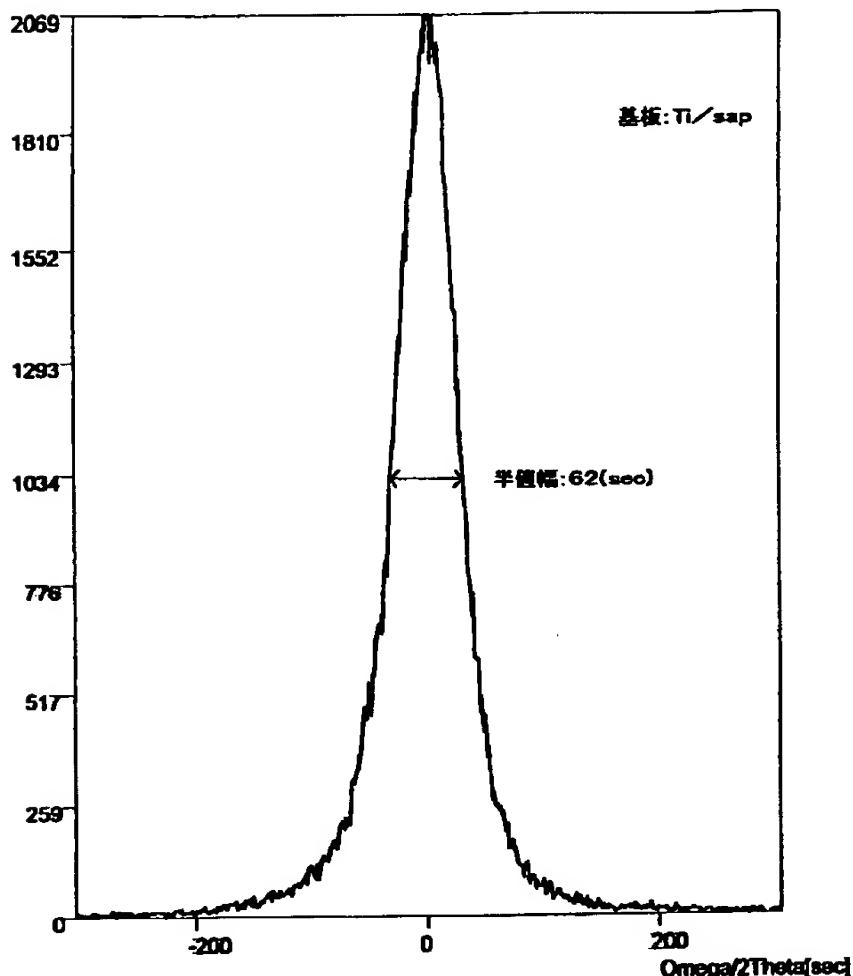
【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】

## AlGaNバッファ層を用いたGaN結晶のロッキングカーブ測定結果

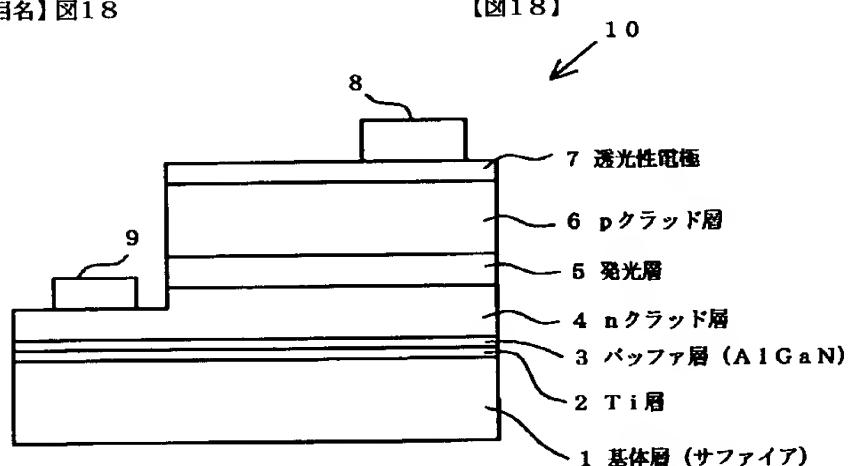


【手続補正3】  
 【補正対象書類名】図面  
 【補正対象項目名】図18

## 【補正方法】変更

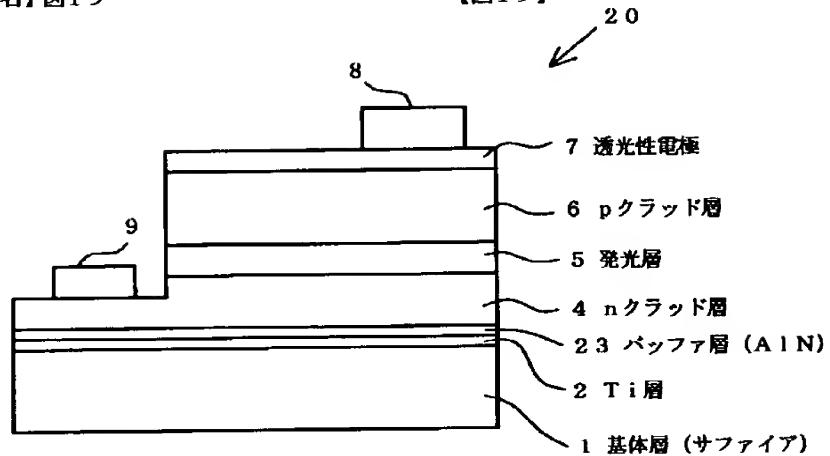
## 【補正内容】

【図18】



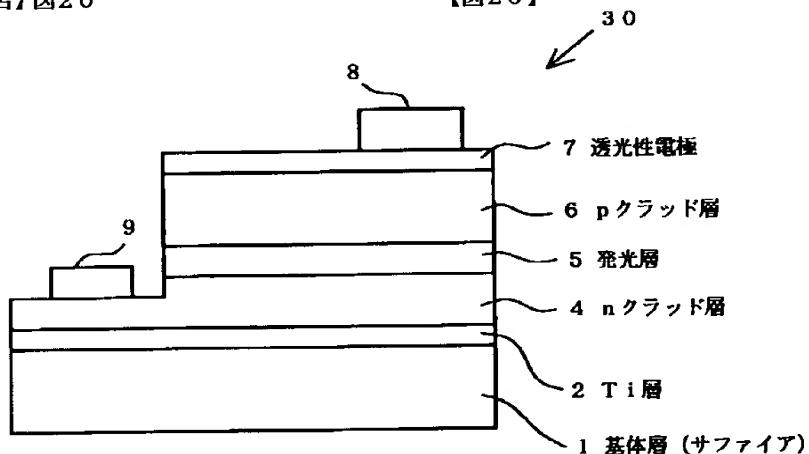
【手続補正4】  
 【補正対象書類名】図面  
 【補正対象項目名】図19

【補正方法】変更  
 【補正内容】  
 【図19】



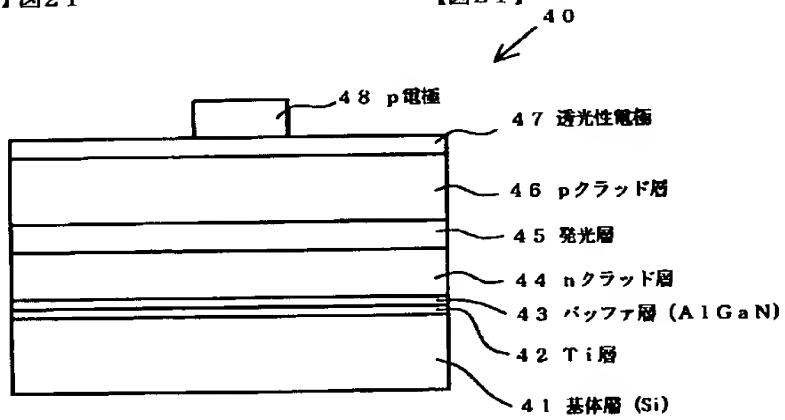
【手続補正5】  
 【補正対象書類名】図面  
 【補正対象項目名】図20

【補正方法】変更  
 【補正内容】  
 【図20】



【手続補正6】  
 【補正対象書類名】図面  
 【補正対象項目名】図21

【補正方法】変更  
 【補正内容】  
 【図21】



【手続補正7】

【補正対象書類名】図面

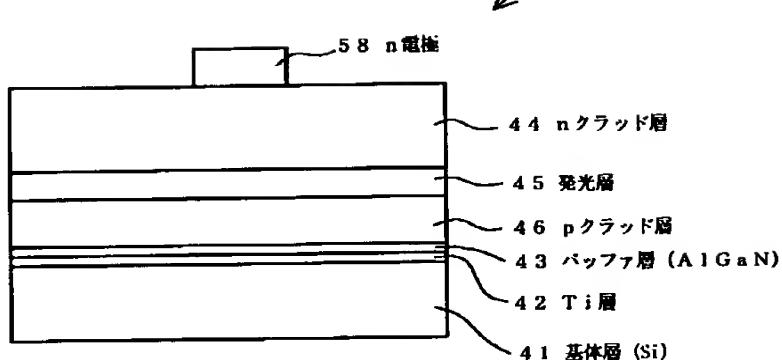
【補正対象項目名】図22

【補正方法】変更

【補正内容】

【図22】

50



フロントページの続き

(72)発明者 柴田 直樹

愛知県西春日井郡春日町大字落合字長畑1

番地 豊田合成株式会社内

(72)発明者 伊藤 潤

愛知県西春日井郡春日町大字落合字長畑1

番地 豊田合成株式会社内

CLIPPEDIMAGE= JP411177141A

PAT-NO: JP411177141A

DOCUMENT-IDENTIFIER: JP 11177141 A

TITLE: GAN BASED SEMICONDUCTOR ELEMENT

PUBN-DATE: July 2, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SENDAI, TOSHIAKI	N/A
NOIRI, SHIZUYO	N/A
SHIBATA, NAOKI	N/A
ITO, JUN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOYODA GOSEI CO LTD	N/A

APPL-NO: JP10105432

APPL-DATE: March 31, 1998

INT-CL (IPC): H01L033/00;H01S003/18

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent cracking by providing an AlGaN based buffer layer between a GaN based semiconductor layer and a substrate comprising a basic body layer and a Ti layer of specified thickness.

SOLUTION: Sapphire is employed in the basic body layer 1 of a substrate and a single crystal Ti layer 2 is formed on the surface of the sapphire basic body layer 1 under conditions of deposition rate: 0.5 nm/s, deposition temperature: 150

COPYRIGHT: (C)1999, JPO

11-17714

## \* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device of a GaN system.

[0002]

[Description of the Prior Art] It is known that the semiconductor of a GaN system can be used as a blue light emitting device. Generally in this light emitting device, sapphire is used as a substrate.

[0003]

[Problem(s) to be Solved by the Invention] There are the following as one of the technical problems which should be solved in the substrate made from this sapphire. That is, since silicon on sapphire is transparent, the light of a light emitting device to take out from the upper surface of an element originally will penetrate the silicon on sapphire under an element. Therefore, the light made to emit light by the light emitting device cannot use effectively.

[0004] Silicon on sapphire is expensive again. Furthermore, since silicon on sapphire is an insulator, it is necessary to form an electrode in the same side side, and it must \*\*\*\*\* in a part of semiconductor layer, and the process of bonding also serves as double precision according to it. Moreover, in order to form n and p two electrodes in the same side side, the problem of a charge up also had a limit also in the miniaturization of element size.

[0005] Moreover, although use of Si (silicon) substrate could be considered instead of silicon on sapphire, according to examination of this invention person, it was very difficult [ it ] to grow up the semiconductor layer of a GaN system on Si substrate. As one of the cause of the, there is a difference of the coefficient of thermal expansion of the semiconductor of Si and GaN systems. The coefficient of linear expansion of GaN is 5.59 to the coefficient of linear expansion of Si being 4.7 X 10-6/K. It is X 10-6/K, and the former is smaller than the latter. Therefore, if it heats in case the semiconductor layer of a GaN system is grown up, an element will deform so that Si substrate may be elongated and the semiconductor layer side of a GaN system may compress. At this time, a tensile stress arises in the semiconductor layer of a GaN system, and there is a possibility that a crack may occur as a result. Moreover, although a crack does not arise, distortion arises in a grid. It becomes impossible therefore, for the semiconductor device of a GaN system to demonstrate the original function.

[0006] This invention aims at offering the semiconductor device of the GaN system of new composition in view of such a technical problem. Other purposes of this invention are to offer the layered product of new composition of becoming the intermediate field of the semiconductor device of a GaN system.

[0007]

[Means for Solving the Problem] Then, this invention persons inquired wholeheartedly to find out the new substrate suitable for growing up the semiconductor layer of a GaN system. Consequently, in Japanese Patent Application No. No.

(970152/surrogate reference number P0060 of applicant reference numbers) 293465 [ nine to ], it hit on an idea on the following matters, and this was indicated. That is, in order to have carried out hetero-epitaxial growth of the semiconductor of a GaN system on the substrate, the substrate resulted in \*\*\*\*, when at least two of following requirement \*\* - \*\*'s needed to be satisfied.

\*\* Thing \*\* with the good adhesion of the semiconductor of a GaN system, and a substrate the elastic modulus of a thing \*\* substrate with near coefficient of thermal expansion of the semiconductor of GaN system and coefficient of thermal expansion of a substrate -- a low -- things -- lattice constant of the semiconductor of the lattice constant /GaN system of the semiconductor of the lattice constant-GaN system of the thing \*\* | substrate as the semiconductor of a GaN system with the same crystal structure of a \*\* substrate <= What is been 0.05 (that is, the difference of the lattice constant of a substrate and the lattice constant of the semiconductor layer of a GaN system is \*\*% or less), at least three [ of course, ] of the desirable above-mentioned requirements -- further -- desirable -- the inside of the above-mentioned requirements -- at least four -- and all the five requirements are satisfied most preferably

[0008] As a material with which are satisfied of such conditions, some metallic materials are observed by application Japanese Patent Application No. No. 293465 [ nine to ] of the point as stated above. Ti is indicated as one in it. Moreover, according to application of the point concerned, the substrate has just satisfied the above-mentioned requirements in the front face, i.e., the field which touches the semiconductor layer of a GaN system, at least. Therefore, the base portion of a substrate can be formed with arbitrary material, and the surface portion of a substrate can also be formed with the material with which are satisfied of the above-mentioned requirements. The buffer layer which consists of Al<sub>a</sub>In<sub>b</sub>Ga<sub>1-a-b</sub>N (a= 0, b= 0, and

$a=b=0$  are included) like AlN or GaN can be made to intervene between a semiconductor layer and a substrate like the case of silicon on sapphire.

[0009] On the other hand, according to Japanese Patent Application No. No. (970136/surrogate reference number P0057 of applicant reference numbers) 293463 [ nine to ], the semiconductor device of composition of that the buffer layer of the sake for a stress buffer intervenes between Si substrate and the semiconductor layer of a GaN system is indicated. Although some metallic materials are observed as a material which constitutes this buffer layer for a stress buffer by application Japanese Patent Application No. No. 293465 [ nine to ] of the point concerned, Ti is indicated as one in it. That is, the semiconductor device of composition of that Ti layer is formed on Si substrate and the semiconductor layer of a GaN system is formed on it is indicated.

[0010] This invention was made based on the matter indicated by application of above two places. And it is improved and developed further. That is, the 1st aspect of affairs of this invention is as follows. The semiconductor device of the GaN system which comes to have the substrate by which the field which counters the semiconductor layer and this semiconductor layer of a GaN system was made the product made from Ti.

[0011] Thus, according to the constituted semiconductor device, when the semiconductor layer of a GaN system takes light-emitting-device structure, this substrate itself carries out the duty of a reflecting layer. Therefore, the light which emitted light with the element can be used effectively. Therefore, formation of the separate reflecting layer needed by the light emitting device or photo detector using transparent silicon on sapphire becomes unnecessary. Moreover, the removal work of the substrate concerned at the time of forming a substrate with the material which absorbs light like GaAs becomes unnecessary.

[0012] (semiconductor layer of a GaN system) The semiconductor of a GaN system is an III group nitride semiconductor, and, generally it is expressed with  $Al_xGa_1-x-Y_1$  ( $0 \leq x \leq 1$ ,  $0 \leq Y \leq 1$ ,  $0 \leq x+y \leq 1$ ). Moreover, arbitrary dopants may be included. In a light emitting device and a photo detector, it is the composition inserted as everyone knows in the semiconductor layer (clad layer) of the conductivity type from which a luminous layer differs, and a superstructure, double hetero structure, etc. are adopted as a luminous layer. The electron device represented by FET structure can also be formed with the semiconductor of a GaN system. The semiconductor layer of a GaN system is formed of a well-known organometallic compound vapor growth (henceforth the "MOCVD method"). Moreover, it can form also by the well-known molecular-beam crystal-growth method (the MBE method).

[0013] (substrate) The field where a substrate counters the front face, i.e., the semiconductor layer of a GaN system, should just be formed by Ti. Therefore, a lower layer (base layer) can be formed with other arbitrary material by making only the surface layer of a substrate into the product made from Ti. Moreover, the base layer of a substrate is formed with Ti material or Ti alloy containing low purity or the impurity, and a surface layer can also be formed by Ti of a high grade. In addition, as for the field which counters the semiconductor layer of a GaN system, it is desirable to consider as the product made from single crystal Ti. Moreover, Ti is also replaceable with Ti alloy under the conditions on which the crystal structure is maintained substantially.

[0014] As for a substrate, it is desirable to have conductivity as a whole. It becomes possible to connect an electrode to conductivity, then a substrate and to energize a substrate in the semiconductor layer of a GaN system from a substrate side. Therefore, complicated etching to the semiconductor layer concerned needed when a light emitting device or a photo detector was constituted from a semiconductor layer of a GaN system becomes unnecessary. If it says in the example of drawing 21, n clad layer will become outside connectable electrically through a substrate. On the other hand, since this was insulation, in the case of silicon on sapphire, the luminous layer and p clad layer needed to be \*\*\*\*\*ed, and it needed to expose n clad layer, and it needed to connect this to the exterior electrically. Since energization became possible from the substrate to the semiconductor layer, the bonding to an external power also becomes easy. Furthermore, if a ground is taken, the problem of a charge up will also be solved easily.

[0015] Thus, in order to give conductivity to a substrate, the base layer of a substrate is formed by a metal, Si, GaAs, conductive GaP and ZnO, conductive ZnSe(s), etc., such as Cr, Hf, Nb, Re, Ta, Ti, V, Zr, and Y. this base layer -- receiving -- CVD(s) (Chemical Vapour Deposition), such as plasma CVD, Heat CVD, and Light CVD, a sputter, vacuum evaporation, etc. -- etc. (Physical Vapour Deposition) etc. -- Ti layer is formed by the method

[0016]

[Embodiments of the Invention] According to the gestalt of implementation of one of this invention, sapphire is adopted as a base layer of a substrate and the vacuum evaporationo of the single crystal Ti layer is carried out to the front face of the sapphire base layer concerned. Drawing 1 shows the crystalline thickness dependency of Ti single crystal. The formation conditions of Ti layer when obtaining the result of drawing 1 are as follows.

evaporation-rate: -- 0.5 nm/s vacuum evaporationo temperature: -- 150-degree-C thickness: -- the intensity of the vertical axis of drawing 1 is the average intensity (relative value) of six peaks acquired when [ which was the measuring object ] phi (PHI) scan was performed to Ti layer Crystallinity is so good that the intensity of a vertical axis is large. In order to improve the crystallinity of the semiconductor layer of a GaN system, it cannot be overemphasized that high crystallinity is required also of Ti layer used as the foundation. In addition, with phi (PHI) scan to Ti single crystal, when rotating a sample 360 degrees, six peaks corresponding to a hexagonal (1 0 1-2) field are acquired. Thus, Ti layer by which six peaks were observed with phi (PHI) scan is a single crystal, or it is thought that it is close to a single crystal. Please refer to Journal of Electronic Materials, Vol.25, No.11, pp.1740-1747, and 1996 about phi (PHI) scan.

5c  
pph:re

[0017] Moreover, the following pretreatment is performed before forming Ti layer in obtaining the result of drawing 1. It is the same when the result shown in other drawings is obtained. Silicon on sapphire is set into a chamber, vacuum length is carried out to  $3 \times 10^{-5}$  Torr with the vacuum pump industrially used widely, and it is filled with the inside of a chamber with nitrogen gas after that. This work is repeated 3 times. This is for preventing beforehand that reduce the oxygen in a chamber and Ti oxidizes. Therefore, if the oxygen in a chamber can fully be discharged, it is also possible to take other methods. In addition, since the limit (usually : - 10-7 Torr) was in the degree of vacuum by the capacity of the vacuum devices of an attachment to the vacuum evaporationo equipment industrially used widely now according to examination of this invention persons, it was indispensable to have repeated this nitrogen purge. Of course, other inert gas can be used instead of nitrogen gas. Next, vacuum length of the nitrogen gas is carried out to  $8 \times 10^{-7}$  Torr with a diffusion pump.

[0018] After the end of this pretreatment, while heating a substrate to temperature predetermined at a lamp heater, the electron beam was irradiated at bulk of Ti, this was dissolved, and the vacuum evaporationo of the single crystal Ti layer was carried out on silicon on sapphire.

[0019] Philips 4 shaft type single crystal diffractometer (product name : X-pert) performed phi (PHI) scan (the same is said of the following phi (PHI) scans.). An example as a result of phi (PHI) scan (at the time [ Ti layer : ] of 300nm) is shown in drawing 2. The average of the intensity (relative value) of six peaks corresponding to the field (1 0 1-2) of Ti which appeared in drawing 2 serves as a value of the vertical axis of drawing 1.

[0020] As for the thickness of Ti layer formed in the front face of the base layer made from material other than Ti, it is more desirable than the result of drawing 1 to consider as 1000-15000A (100-1500nm). Sufficient crystallinity cannot be acquired with the thickness of Ti layer being less than 100nm, and it is not necessary to thicken Ti layer more than 1500nm. It is because time is only required for membrane formation. When there are no restrictions in the time of membrane formation, it is not necessary to establish an upper limit. Moreover, by preparing Ti layer of thickness of this level, it is reflected in the Ti layer concerned and what was emitted to the substrate side among the light which emitted light in the semiconductor layer of a GaN system does not penetrate a substrate. Therefore, all will be taken out from the front face of an element substantially [ the light produced in the semiconductor layer of a GaN system ], and a deployment of the light concerned is attained. Furthermore, thickness of Ti layer is preferably made into 2000-10000A (200-1000nm). //reflect

[0021] Drawing 3 shows the evaporation-rate dependency of Ti vacuum evaporationo film crystallinity on silicon on sapphire. The vertical axis of drawing is the average intensity (relative value) of the peak acquired with phi (PHI) scan. In addition, the formation conditions of Ti layer when obtaining the result of drawing 3 were as follows.

evaporation-rate: -- measuring object vacuum evaporationo temperature: -- 150-degree-C thickness: -- 300nm [0022] From the result of drawing 3, the evaporation rate of Ti layer is understood that considering as 0.5 or more nm/s is desirable. In addition, it is not realistic to make the evaporation rate of Ti into 2 or more nm/s. It is because degradation of surface morphology is seen.

[0023] Drawing 4 shows the vacuum evaporationo temperature (substrate temperature at time of vacuum evaporationo) dependency of Ti vacuum evaporationo film crystallinity on silicon on sapphire. The vertical axis of drawing is the average intensity (relative value) of the peak acquired with phi (PHI) scan. In addition, the formation conditions of Ti layer when obtaining the result of drawing 4 were as follows.

evaporation-rate: -- 0.5 nm/s vacuum evaporationo temperature: -- measuring object thickness: -- 300nm [0024] It is expected from the result of drawing 4 that crystallinity sufficient among 350 degrees C is acquired from the so-called room temperature state where silicon on sapphire is not heated especially. Furthermore, it is 25-250 degrees C preferably, and is 150-250 degrees C further still more preferably. In addition, according to examination of this invention persons, vacuum evaporationo temperature was understood that it is desirable to consider as 130-170 degrees C. Furthermore, it is about 150 degrees C preferably. It is because fall fear has the c axis stacking tendency of Ti when it is made temperature higher than 170 degrees C.

[0025] Drawing 5 shows the heat treatment temperature dependence of Ti vacuum evaporationo film crystallinity on silicon on sapphire. The formation conditions of Ti layer when obtaining the result of drawing 5 were as follows.

evaporation-rate: -- 0.5 nm/s vacuum evaporationo temperature: -- 150-degree-C thickness: -- it is a thing when heating to each temperature which shows Ti layer / silicon on sapphire obtained by doing in this way 300nm to a horizontal axis in a heat treating furnace (for 5 minutes) A vertical axis is the average intensity (relative value) of the peak acquired with phi (PHI) scan like drawing 1.

[0026] The result of drawing 5 shows that the crystallinity falls, when the temperature exceeding 750 degrees C is applied to Ti layer. It is desirable to hold Ti layer at 750 degrees C or less until it will grow up the semiconductor layer of at least one GaN system on Ti layer, if it puts in another way. Since after formation of the semiconductor layer of the 1st GaN system concerned can form the semiconductor layer of the 2nd GaN system on this, the temperature at which the crystallinity of the semiconductor layer of the 1st GaN system is held turns into critical temperature. It is because the crystallinity of the semiconductor layer of the 2nd GaN system is not affected as long as the crystallinity of the semiconductor layer of the 1st GaN system is maintained even if the crystallinity of Ti layer falls in this critical temperature. It is still more desirable than the result of drawing 5 to hold Ti layer at 600 degrees C or less until it grows up the semiconductor layer of at least one GaN system on Ti layer.

[0027] Drawing 6 forms the buffer layer of further the product made from AlN on Ti layer formed on silicon on sapphire, and shows the result of 2 theta-omega (2theta:20-100 degree) scan for evaluating the crystallinity of the GaN layer which grew on

it. Philips 4 shaft type single crystal diffractometer (product name : X-pert) also performed this 2 theta-omega scan (the same is said of the measurement result of the following 2 theta-omega scans.). The formation conditions of Ti layer when obtaining the result of drawing 6 were as follows.

evaporation-rate: -- 0.5 nm/s vacuum evaporationo temperature: -- 150-degree-C thickness: -- Ti layer was formed on the conditions with 300nm same also about the measurement result of still the following

[0028] Moreover, before forming the buffer layer made from AlN, Ti/silicon on sapphire was heated for 5 minutes at 600 degrees C in the vacuum (3x10-5Torr) (vacuum cleaning). The buffer layer made from AlN was formed by the MOCVD method on condition that the following.

Reaction container internal pressure : Ordinary-pressure temperature : 400-degree-C material gas 1 : Ammonia material gas 2 : TMA carrier gas : H2 [0029] The GaN layer was formed by the MOCVD method on condition that the following.

Reaction container internal pressure : Ordinary-pressure temperature : 1000-degree-C material gas 1 : Ammonia material gas 2 : TMG carrier gas : In the following examples which are H2, the formation conditions of a GaN layer are the same as that of the above.

[0030] Drawing 7 is a result when performing phi (PHI) scan about the same sample as drawing 6 . The result of drawing 6 and drawing 7 shows that GaN which grew through the AlN buffer layer on Ti/silicon on sapphire has desirable crystallinity. Therefore, if the semiconductor layer of a GaN system is grown up on this AlN/Ti/silicon on sapphire, semiconductor devices, such as a light emitting device which may function enough by this semiconductor layer, can be formed.

[0031] Drawing 8 forms the buffer layer of further the product made from AlGaN on Ti layer formed on silicon on sapphire, and shows the result of 2 theta-omega (2theta:20-100 degree) scan for evaluating the crystallinity of the GaN layer which grew on it. In addition, before forming the buffer layer made from AlGaN, Ti/silicon on sapphire was heated for 5 minutes at 600 degrees C in the vacuum (3x10-5Torr) (vacuum cleaning). The buffer layer made from AlGaN was formed by the MOCVD method on condition that the following.

Chamber internal pressure : Ordinary-pressure temperature : 300-degree-C material gas 1 : Ammonia material gas 2 : TMA material gas 3 : TMG carrier gas : H2 [0032] The GaN layer was formed by the MOCVD method on drawing 6 and the same conditions as the case of drawing 7 . Drawing 9 is a result when performing phi (PHI) scan about the same sample as drawing 8 . The result of drawing 9 and drawing 8 shows that GaN which grew through the AlGaN buffer layer on Ti/silicon on sapphire has desirable crystallinity. The crystallinity of the GaN layer formed on it is better, and comparison with drawing 6 and drawing 7 shows a bird clapper, when a buffer layer is made into the product made from AlGaN.

[0033] Drawing 10 is a rocking curve which evaluates the crystallinity of GaN which grew through the AlGaN buffer layer on Ti/silicon on sapphire. It turns out that it has property sufficient as a semiconductor layer that this GaN constitutes a light emitting device from a result of the rocking curve concerned if it is this contractor.

[0034] Drawing 11 shows the relation between the growth temperature of the buffer layer made from AlGaN, and GaN crystallinity. The vertical axis of drawing is the average (relative value) of six peak intensity of phi (PHI) scan obtained like drawing 9 . In addition, the formation conditions of Ti layer are as stated above. The inside of a chamber was made into the vacuum (3x10-5Torr), and 600 degrees C of cleanings to this Ti film performed it for 5 minutes. The conditions of MOCVD of the buffer layer made from AlGaN were as follows.

Chamber internal pressure H2 carrier-gas flow rate : Ordinary-pressure temperature : Measuring object material gas 1 : Ammonia material gas 2 : TMA material gas 3 : TMG carrier gas : (TMG/(TMG+TMA): 0.625[0035]) As for the growth temperature of the buffer layer made from AlGaN, from the result of drawing 11 , it is desirable to consider as 250-350 degrees C. Furthermore, it is 280-330 degrees C preferably. Furthermore, it is about 300 degrees C still more preferably.

[0036] Drawing 12 shows the relation between the carrier gas flow rate of TMG and TMA at the time of forming the bufler layer made from AlGaN, and GaN crystallinity. The vertical axis of drawing is the average (relative value) of six peak intensity of phi (PHI) scan obtained like drawing 9 . In addition, the formation conditions of Ti layer are as stated above. The inside of a chamber was made into the vacuum (3x10-5Torr), and 600 degrees C of cleanings to this Ti film performed it for 5 minutes. The conditions of MOCVD of the buffer layer made from AlGaN were as follows.

Chamber internal pressure H2 carrier-gas flow rate : Ordinary-pressure temperature : 300-degree-C material gas 1 : Ammonia material gas 2 : TMA material gas 3 : TMG carrier gas : (TMG/(TMG+TMA): the formation conditions of a measuring object GaN layer are as stated above.)

[0037] The flow rate of carrier gas is understood that being referred to as TMG/(TMG+TMA) =0.4-0.8 is desirable from the result of drawing 12 . Therefore, when it says by the mole ratio of the material gas supplied in a reaction container, being referred to as TMG/(TMG+TMA) =0.53-0.87 is desirable. Furthermore, it is this flow rate 0.5-0.7 (this mole-ratio = 0.63-0.80) preferably. Furthermore, it is this flow rate 0.60-0.65 still more preferably. Now, this flow rate = it is thought that 0.625 (this mole-ratio = 0.737) is the most desirable.

[0038] When carrier gas flow rate was set to TMG/(TMG+TMA) =0.625 in the conditions when obtaining the result of drawing 12 according to examination of this invention persons, composition of a buffer layer was aluminum0.9Ga0.1N. As for the composition ratio a of aluminum, in the buffer layer made from AlaGal-aN, being referred to as 0.85-0.95 is desirable.

[0039] Drawing 13 shows the relation between the cleaning temperature of Ti/silicon on sapphire, and the crystallinity of GaN. The vertical axis of drawing is the average (relative value) of six peak intensity of phi (PHI) scan obtained like drawing 9 . In addition, the formation conditions of Ti layer are as stated above. The formation conditions of an AlGaN buffer layer

and a GaN layer are the same as that of the case of drawing 8. In addition, the result of the cleaning shown in the black painting trigonum in drawing is a thing when making into a vacuum (degree of vacuum :  $3 \times 10^{-5}$  Torr) the substrate which carried out the vacuum evaporation of Ti on silicon on sapphire within a MOCVD chamber, heating to the temperature of a request of a substrate at a lamp heater, maintaining for 5 minutes at the temperature, and cooling radiationally after that. On the other hand, the result of the cleaning shown in the white trigonum in drawing (\*\*) is a thing when supplying hydrogen to a MOCVD chamber (inside of a chamber : one atmospheric pressure), heating the substrate which carried out the vacuum evaporation of Ti on silicon on sapphire to the temperature of a request of a substrate at a lamp heater, maintaining it for 5 minutes at the temperature, and cooling radiationally after that.

[0040] When Ti is heated and cleaned in a vacuum from the result of drawing 13 before forming a buffer layer after depositing Ti layer on silicon on sapphire, it turns out that a crystalline high GaN layer is obtained. As for the temperature of cleaning, it is desirable to consider as 500-750 degrees C. Furthermore, it is 550-700 degrees C preferably. Furthermore, it is 600-650 degrees C still more preferably. Although especially the degree of vacuum when cleaning is not limited, it is desirable to attain the highest possible degree of vacuum from the standpoint which removes an impurity from Ti layer.

[0041] It is thought that it can say the above result that the same is said of the case where Ti layer on Si and the substrate made from the other materials is formed although related with the combination of silicon on sapphire and Ti layer.

[0042] Drawing 14 shows the wafer washing dependency of Ti crystallinity deposited on the field (111) of Si substrate. However, the vacuum evaporation conditions of Ti are as follows (it is the same as the time of silicon on sapphire). evaporation-rate: -- 0.5 nm/s vacuum evaporation temperature: -- 150-degree-C thickness: -- to a 300nmSi substrate, a nitrogen purge removes oxygen from the inside of a chamber substantially like the case of silicon on sapphire, and the solid line of drawing 14 shows the result when depositing Ti layer to the (111) field In addition, drawing 14 shows the result of phi (PHI) scan to the field (1 0 1-2) of Ti layer. On the other hand, the dashed line of drawing 14 is a thing when washing Si substrate for 10 seconds by buffered fluoric acid beforehand before a nitrogen purge. Drawing 15 shows the result of phi (PHI) scan to the field (1 1 2-2) of Ti layer of the sample of drawing 14.

[0043] Although Ti layer by which vacuum evaporation was carried out on Si substrate beforehand washed by buffered fluoric acid from the result of drawing 14 and drawing 15 has good crystallinity, it turns out that the crystallinity of Ti layer by which vacuum evaporation was carried out on Si substrate to which the acid cleaning concerned was abbreviated is very bad.

[0044] Drawing 16 shows the result of phi (PHI) scan to the field (1 0 1-2) of Ti layer deposited on the field (100) of Si substrate like the thing of drawing 14. Drawing 17 shows the result of phi (PHI) scan to the field (1 1 2-2) of Ti layer similarly deposited on the field (100) of Si substrate.

[0045] From the result of drawing 16 and drawing 17, Ti layer deposited on the field (100) of Si substrate is understood that the crystallinity is very bad irrespective of the existence of acid cleaning. As mentioned above, it is more nearly required than the result of drawing 14 -17 to carry out acid cleaning of to make it carry out the vacuum evaporation of Ti on the field (111) of Si substrate to form Ti layer of a single crystal on Si substrate and the Si substrate by buffered fluoric acid, fluoric acid, etc. beforehand.

[0046]

[Example] Next, the 1st example of this invention is explained. This example is light emitting diode 10, and shows the composition to drawing 18.

[0047] The spec. of each semiconductor layer is as follows.

A layer : Composition : [ Dopant ] (Thickness) p clad layer 6 : p-GaN:Mg (0.3 micrometers) Luminous layer 5 : Superstructure quantum well layer : In0.15Ga0.85N (3.5nm) Barrier layer : GaN (3.5nm) The number of repeats of a quantum-well layer and a barrier layer: 1-10n clad layer 4 : n-GaN:Si (4 micrometers) Buffer layer 3 : aluminum0.9Ga0.1N (15nm)

Ti layer 2 : Ti single crystal (300nm)

Substrate 1 : Sapphire (300 micrometers)

[0048] n clad layer 4 can be made into the two-layer structure which consists of n layers of low concentration of electrons by the side of a luminous layer 5, and a high concentration-of-electrons n+ layer by the side of a buffer layer 3. A luminous layer 5 is not limited to the thing of a superstructure, but a terrorism type can be used to a single and it can use a terrorism type and homozygous type thing etc. to double. The latus AlXInYGa1-X-YN (X= 0, Y= 0, and X=Y=0 are included) layer of the band gap which doped acceptors, such as magnesium, can be made to intervene between a luminous layer 5 and p clad layer 6. This is for preventing that the electron poured in into the luminous layer 5 is spread in p clad layer 6. p clad layer 6 can be made into the two-layer structure which consists of a low hole concentration p-layer by the side of a luminous layer 5, and a high hole concentration p+ layer by the side of an electrode 7.

[0049] In the above, the formation method to a buffer layer 3 is the same as that of the time of obtaining the result of drawing 10.

[0050] The semiconductor layer of each GaN system is formed by the well-known MOCVD method. In this grown method, ammonia gas and the alkyl compound gas of an III group element, for example, trimethylgallium, (TMG), a trimethylaluminum (TMA), and trimethylindium (TMI) are supplied on the substrate heated by suitable temperature, a pyrolysis reaction is carried out, it has, and a desired crystal is grown up on a substrate.

[0051] The translucency electrode 7 is a thin film containing gold, it is wearing the substantial whole surface of the upper

surface of p clad layer 6, and a laminating is carried out. The p electrode 8 also consists of material containing gold, and it is formed on the translucency electrode 7 of vacuum evaporationo. The vacuum evaporationo of the n electrode 9 is carried out to n clad layer 4.

[0052] (The 2nd example) The semiconductor device of the 2nd example of this invention is shown in drawing 19. The semiconductor device of this example is light emitting diode 20, gives the same sign to the same portion as the light emitting diode 10 of the 1st example shown in drawing 18, and omits the explanation. That is, the light emitting diode 20 of this example makes a buffer layer 23 the product made from AlN.

[0053] (The 3rd example) The semiconductor device of the 3rd example of this invention is shown in drawing 20. The semiconductor device of this example is light emitting diode 30, gives the same sign to the same portion as the light emitting diode 10 of the 1st example shown in drawing 18, and omits the explanation. Namely, as for the light emitting diode 30 of this example, the buffer layer is omitted. In this case, n clad layer is formed by the MBE method.

[0054] (The 4th example) The semiconductor device of the 4th example of this invention is shown in drawing 21. The semiconductor device of this example is light emitting diode 40. The spec. of each semiconductor layer is as follows.

A layer : Composition : [ Dopant ] (Thickness) p clad layer 46 : p-GaN:Mg (0.3 micrometers) Luminous layer 45 : Superstructure quantum well layer : In0.15Ga0.85N (3.5nm) Barrier layer : GaN (3.5nm) The number of repeats of a quantum-well layer and a barrier layer: 1-10n clad layer 44 : n-GaN:Si (4 micrometers) Buffer layer 43 :

aluminum0.9Ga0.1N (15nm)

Ti layer 42 : Ti single crystal (300nm)

Substrate 41 : Si (111) side (300 micrometers)

[0055] The buffer layer 43 made from AlGaN can be replaced by the thing made from AlN like the 2nd example. Moreover, a buffer layer 43 is also omissible like the 3rd example. The semiconductor layers 44-46 of a GaN system can be replaced by the layer of other composition, respectively, as the 1st example explained. Moreover, each formation method is the same as that of the 1st example. However, when a buffer layer is omitted, the semiconductor layer of the GaN system which adjoins Ti layer is formed by the MBE method.

[0056] In the above, the formation method of the Ti layer 42 is the same as that of the time of obtaining the result of the dashed line of drawing 14. The buffer layer 43 made from AlGaN was formed like the 1st example.

[0057] The translucency electrode 47 is a thin film containing gold, it is wearing the substantial whole surface of the upper surface of p clad layer 46, and a laminating is carried out. The p electrode 48 also consists of material containing gold, and it is formed on the translucency electrode 7 of vacuum evaporationo. A substrate can be used as an n electrode as it is.

[0058] The deformation mode of the 4th example is shown in drawing 22. In addition, the same sign is given to the same layer as drawing 21, and the explanation is omitted. As shown in drawing 22, p clad layer 46, a luminous layer 45, and n clad layer 44 can be grown up in order on a buffer layer 43, and a light emitting device 50 can also be constituted. In the case of this element 50, since the low n clad layer 44 of resistance serves as the best side, it becomes possible to omit the translucency electrode (sign 47 reference of drawing 21) here. The sign 58 of drawing is n electrode. A substrate can be used as a p electrode as it is.

[0059] Since Ti layer turns into [ Japanese Patent Application No. / which is previous application / No. 293463 / nine to ] / a buffer layer for a stress buffer as a publication, the crack resulting from the difference of the coefficient of thermal expansion of Si substrate and the semiconductor layer of a GaN system stops thus, almost going into the semiconductor layer of a GaN system in the semiconductor device of the 4th constituted example.

[0060] In addition, the element to which this invention is applied is not limited to the above-mentioned light emitting diode, and can be applied also to the electron device of FET structure besides light-corpuscle children, such as light-receiving diode and laser diode. Moreover, this invention is applied also to the layered product as intermediate field of these elements.

[0061] This invention is not limited to the publication of the gestalt of implementation of the above-mentioned invention, and an example at all, and includes the various deformation modes this contractor can hit on an idea of in the range which does not deviate from a claim.

[0062] Hereafter, the following matter is indicated.

(80) How to form Ti layer of a single crystal substantially under the environment where prepared silicon on sapphire and oxygen was removed substantially, on the silicon on sapphire characterized for Ti by vacuum evaporationo or carrying out a spatter to this silicon on sapphire.

(81) A method given in (80) characterized by what the membrane formation speed of the aforementioned Ti layer is [nm / 0.5 //s / or more ].

(82) The membrane formation temperature of the aforementioned Ti layer is a method given in (80) characterized by what is been room temperature -250 degree C.

[0063] (83) The membrane formation temperature of the aforementioned Ti layer is a method given in (80) characterized by what is been about 150 degrees C.

(84) A method given in either of (80) - (83) characterized by what thickness of the aforementioned Ti \*\*\*\* is set to 100-1500nm for.

(85) A method given in either of (80) - (83) characterized by what thickness of the aforementioned Ti layer is set to 200-1000nm for.

[0064] (86) the above -- oxygen -- removing -- having had -- environment -- vacuum evaporationo -- equipment -- a chamber

-- inside -- a vacuum -- length -- having carried out -- after -- this -- a chamber -- inside -- inert gas -- being full -- making -- a process -- one -- a time -- or -- multiple times -- a deed -- after that -- the above -- a chamber -- inside -- a vacuum -- length -- carrying out -- things -- carrying out -- things -- the feature -- \*\* -- carrying out -- ( -- 80 -- ) --

[0065] (90) How to form Ti layer of a single crystal substantially on Si substrate which prepares Si substrate, carries out acid cleaning of this Si substrate, and is characterized by forming Ti to the field (111) of this Si substrate under the environment where oxygen was removed substantially.

(91) The aforementioned acid cleaning is a method given in (90) characterized by what is performed by the liquid containing fluoric acid or buffered fluoric acid.

(92) A method given in (90) characterized by what the membrane formation speed of the aforementioned Ti layer is 0.5 or more nm/s, or (91).

[0066] (93) The membrane formation temperature of the aforementioned Ti layer is a method given in (90) characterized by what is been room temperature -250 degree C, or (91).

(94) The membrane formation temperature of the aforementioned Ti layer is a method given in (90) characterized by what is been about 150 degrees C, or (91).

(95) A method given in either of (90) - (94) characterized by what thickness of the aforementioned Ti layer is set to 100-1500nm for.

[0067] (96) A method given in either of (90) - (94) characterized by what thickness of the aforementioned Ti layer is set to 200-1000nm for.

(97) the above -- oxygen -- removing -- having had -- environment -- vacuum evaporationo -- equipment -- a chamber -- inside -- a vacuum -- length -- having carried out -- after -- this -- a chamber -- inside -- inert gas -- being full -- making -- a process -- one -- a time -- or -- multiple times -- a deed -- after that -- the above -- a chamber -- inside -- a vacuum -- length -- carrying out -- things -- carrying out -- things -- the feature -- \*\* -- carrying out -- ( -- 90 -- ) --

[0068] (100) The growth method of the semiconductor layer of the GaN system characterized by heating the aforementioned Ti single crystal side under reduced pressure before forming the semiconductor layer of a GaN system on Ti single crystal side.

(101) The aforementioned heating temperature is the method of a publication for it being characterized by what is been 500-750 degrees C (100).

(102) The aforementioned heating temperature is the method of a publication for it being characterized by what is been 550-700 degrees C (100).

(103) The aforementioned heating temperature is the method of a publication for it being characterized by what is been 600-650 degrees C (100).

---

[Translation done.]